

DSM - DAPNIA

DIRECTION DES SCIENCES DE LA MATIERE
DEPARTEMENT D'ASTROPHYSIQUE, DE PHYSIQUE DES PARTICULES
DE PHYSIQUE NUCLÉAIRE ET DE L'INSTRUMENTATION ASSOCIÉE
SERVICE D'ELECTRONIQUE, DES DETECTEURS ET D'INFORMATIQUE

CNRS/IN2P3
LABORATOIRE DE L'ACCELERATEUR
LINEAIRE
SERVICE ELECTRONIQUE

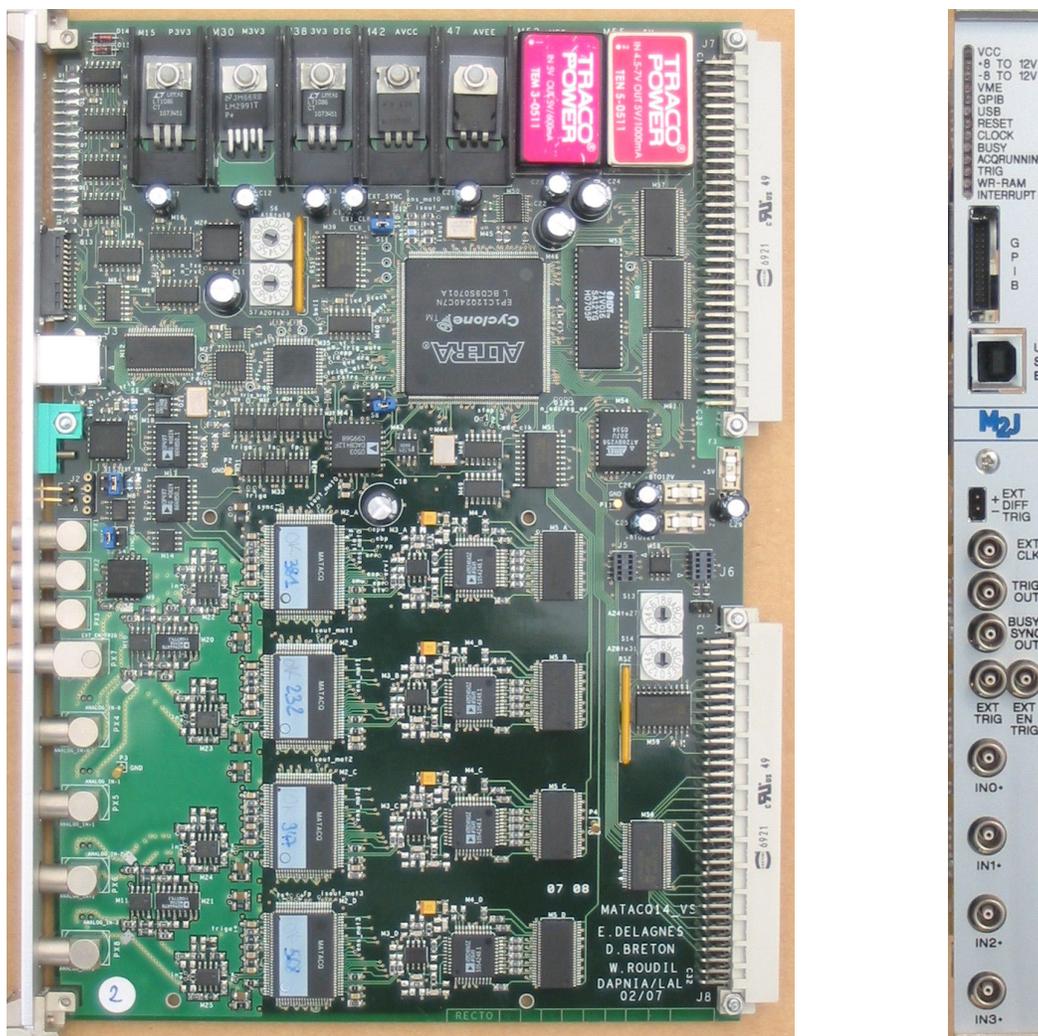
ERIC DELAGNES
eric.delagnes@cea.fr

DOMINIQUE BRETON
breton@lal.in2p3.fr

Date : 11/01/2008	Objet : Documentation de la carte MATAcq14.
De : E. DELAGNES + D. BRETON	V/Réf. : 1.4

NOTE : Documentation de la carte MATAcq14.

Site web : matacq.free.fr



EVOLUTIONS DU DOCUMENT.

Révision 1.0 : première version développée à partir de la version 1.8 de la documentation de la carte MATAcq32.

Révision 1.1 :

* Quelques précisions en divers points (II.1.a, III.3, IV.2.b)

Révision 1.2 :

* IV.3.b : gestion des accès à l'EEPROM.

* III.4 : moniteur de taux de déclenchement.

* IV.1.f : nouveaux straps.

* Quelques corrections en divers points.

* VII : annexe.

Révision 1.3 :

* II.1, II.5, IV.4 : utilisation de la carte en 2 voies de 5120 points ou 1 voie de 10240 points.

* IV.3.a, IV.4 : introduction de TRIG_REC, Valp_cp et Vali_cp dans la RAM.

* II.3.b, IV.4 : redémarrage automatique de l'acquisition en fin de lecture de la RAM.

Révision 1.4 :

* VII.2 : utilisation des masques tournants.

Documentation de la carte MATAcq14 : INDEX

Evolutions du document.....	2
I. Description des fonctionnalités de la carte MATAcq14.....	5
I.1. Généralités. Description de la fonctionnalité globale.....	5
I.2. Fréquence d'échantillonnage.....	6
I.3. Signaux d'entrées. Gamme dynamique.....	6
II. Mode opératoire.....	6
II.1. Définition de la fenêtre d'acquisition. Modes de déclenchement.....	6
II.1.a) Principe, PRETRIG, POSTTRIG.....	6
II.1.b) Sources de déclenchement.....	7
II.1.c) Front de déclenchement.....	8
II.1.d) Signal TRIGOUT.....	8
II.1.e) Validation du trigger par un deuxième signal retardé.....	8
II.2. Temps mort lors du démarrage de l'acquisition ; Prétrig.....	10
II.3. Séquence standard d'acquisition.....	10
II.3.a) Acquisition démarrée par l'utilisateur.....	10
II.3.b) Acquisition redémarrée automatiquement.....	11
II.4. Corrections des données.....	12
II.4.a) Correction des piédestaux.....	12
II.4.b) Corrections temporelles.....	13
II.5. Fonctionnement avec 2 voies de 5k ou 1 voie de 10k échantillons.....	14
III. Synchronisations, calibrations, monitoring.....	15
III.1. Synchronisation entre les voies.....	15
III.1.a) Voies d'une même carte.....	15
III.1.b) Voies situées sur des cartes différentes.....	15
III.2. Signal de synchronisation. Relecture partielle des matrices. Signal BUSY.....	16
III.3. Calibrations.....	16
III.3.a) Calibration de l'interpolateur.....	16
III.3.b) Calibration des piédestaux.....	18
III.3.c) Calibration temporelle entre différents canaux.....	18
III.4. Moniteur de taux de déclenchement.....	19
IV. Description technique.....	20
IV.1. Standards mécaniques et électriques.....	20
IV.1.a) Standard mécanique.....	20
IV.1.b) Interfaces électriques.....	20
IV.1.c) Bilan des signaux en face avant.....	21
IV.1.d) Alimentations.....	22
IV.1.e) Brochage des connecteurs non standards.....	22
IV.1.f) Straps et supports de réseaux.....	23
IV.1.g) Implantation des entrées différentielles.....	24
IV.2. Interfaces.....	24
IV.2.a) Interface VME.....	24
IV.2.b) Interface GPIB.....	25
IV.2.c) Interface USB.....	26
IV.3. Gestion des mémoires.....	26
IV.3.a) Lecture des données dans la RAM ; mapping.....	26
IV.3.b) Gestion des accès à l'EEPROM.....	27
IV.4. Liste des sous adresses.....	29
IV.5. Synoptique de la carte.....	35

V. Spécifications et performances	36
VI. Bibliographie	37
VII. Annexe	38
VII.1. Versions prototypes de la carte Matacq14.	38
VII.1.a) Prototype version 1.	38
VII.1.b) Prototype version 2.	38
VII.2. Utilisation des masques tournants.....	39
VII.2.a) Principe de fonctionnement.	39
VII.2.b) Exemple de remplissage à 500 MS/s.	42

I. DESCRIPTION DES FONCTIONNALITES DE LA CARTE MATAcq14.

I.1. Généralités. Description de la fonctionnalité globale.

La carte MATAcq14 est une carte d'acquisition de signaux analogiques rapides basée sur la puce MATAcq (matrice analogique, voir figure 13 en annexe) [1] développée en collaboration par le CEA/DAPNIA et l'IN2P3/LAL. Cette carte, au format mécanique VME double Europe, est compatible avec de nombreux standards d'acquisition (VME A32/D64, A32/D32, A24/D16, GPIB et USB 2.0).

Elle est une évolution de la série de carte MATAcq à 12 bits de gamme dynamique, et est compatible avec ces dernières lors de sa mise sous tension : elle peut donc être utilisée par défaut avec le même logiciel.

Elle réalise le codage de 4 canaux analogiques de bande passante réglable jusqu'à 300MHz sur 14 bits à une fréquence d'échantillonnage ($F_{éch}$) réglable jusqu'à 2GHz et sur une profondeur de 2520 points utiles. Les canaux pourront au besoin être regroupés pour augmenter la profondeur de mesure.

La mesure est réalisée en trois temps (voir Fig 1) :

- **Acquisition** :

le signal analogique est continûment échantillonné à la fréquence $F_{éch}$ dans une mémoire analogique circulaire. L'arrivée d'un signal de déclenchement initie la phase d'arrêt de l'échantillonnage (II.1.a). A l'issue de cette phase, l'état de la mémoire est figé : elle contient alors les 2560 derniers points échantillonnés (dont 2520 sont valides).

- **Numérisation et stockage** :

après ordre d'arrêt de l'acquisition, les échantillons stockés sous forme analogique dans les puces MATAcq sont rapidement ($675\mu s$) relus et codés en données numériques sur 14 bits puis stockés dans une mémoire numérique tampon. L'acquisition est informée de la fin du codage soit par scrutation d'un registre interne, soit par une interruption.

- **Lecture** :

la mémoire tampon peut alors être relue par le système d'acquisition. Pour un système d'acquisition standard VME A24-D16, cette dernière opération durera quelques ms pour une carte 4 voies, ce qui permet d'atteindre une fréquence d'acquisition de plusieurs centaines de Hz pour l'acquisition de 2520 points par voie. Avec un système A32-D32, on peut dépasser 500 Hz, et approcher du kHz avec un système A32-D64 perfectionné.

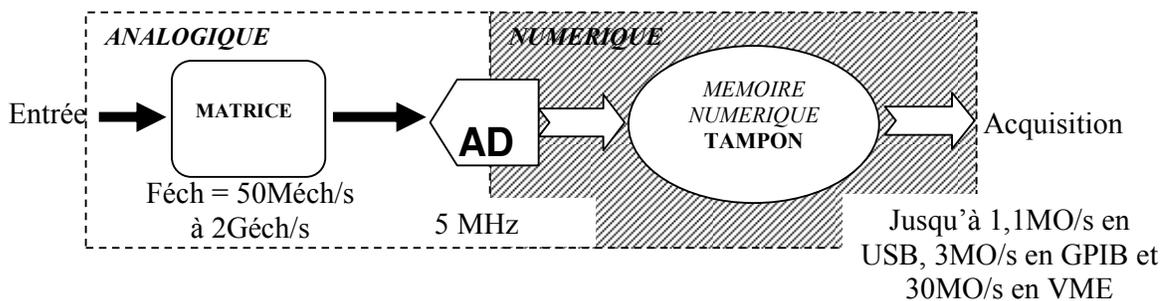


Fig 1 : flux de données dans la carte.

I.2. Fréquence d'échantillonnage.

La carte MATAcq14 est séquencée par une horloge pilote de fréquence 100MHz. Aucun signal de fréquence supérieure n'existe sur la carte. C'est ce qui explique la faible consommation du système. L'échantillonnage à très haute fréquence (Féch) dans la puce MATAcq est en fait réalisé par multiplication virtuelle de fréquence à l'intérieur de la puce par un facteur pouvant aller jusqu'à 20.

La puce MATAcq fonctionne avec une fréquence pilote $F_p = 50\text{MHz}$ ou 100MHz programmable sur la carte par logiciel, ce qui correspond à des fréquences d'échantillonnage Féch ($= 20 \cdot F_p$) de 1 ou 2 GHz.

L'entrée EXT_CLK peut éventuellement être utilisée pour injecter une horloge pilote externe très propre comprise entre 50MHz et 100MHz. **Attention** : la puce MATAcq ne peut pas fonctionner correctement avec une fréquence pilote F_p inférieure à 50MHz.

I.3. Signaux d'entrées. Gamme dynamique.

La carte MATAcq14 intègre 4 canaux analogiques. Les entrées de ces canaux sont connectées en face avant selon les versions à des prises LEMO simples (IN0 à IN3), doubles (IN0+/- à IN3+/-) ou SMA (IN0 à IN3).

Les entrées sont par défaut unipolaires et terminées sur 50 Ohms. Cependant, les étages d'entrées de la carte peuvent être modifiés très facilement (quelques résistances à modifier) de façon à permettre de rentrer en différentiel (d'où la possibilité de montage des entrées LEMO double).

La gamme dynamique est de 14 bits RMS avec une valeur d'excursion maximum de 2V, soit un LSB de $125\mu\text{V}$. Cette gamme est centrée sur 0V (+/- 1V).

Le bruit mesuré ramené en entrée est inférieur à $175\mu\text{V}$ RMS et la non-linéarité intégrale est meilleure que 1 pour mille sur l'ensemble de la gamme dynamique.

II. MODE OPERATOIRE.

II.1. Définition de la fenêtre d'acquisition. Modes de déclenchement.

II.1.a) Principe, PRETRIG, POSTTRIG.

Durant l'acquisition, le signal analogique est continûment échantillonné dans la mémoire analogique qui est assimilable à un buffer circulaire d'une profondeur de 2560 points (profondeur temporelle = $2560 / F_{éch}$). L'arrêt de l'échantillonnage est initié par l'arrivée d'un signal de déclenchement T_a (*trigger asynchrone*) qui est commun à toutes les voies d'une carte. Ce signal n'est autorisé à être produit que suite à un délai programmable appelé *PRETRIG* après le lancement de la séquence d'acquisition.

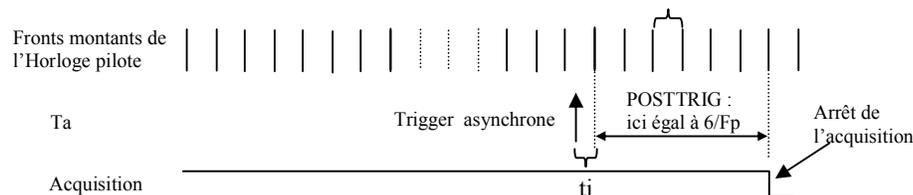


Fig 2 : chronogramme de l'arrêt de l'acquisition.

L'arrêt effectif de l'échantillonnage se produira suite à un nombre prédéfini (appelé *POSTTRIG*) de coups d'horloge pilote (50MHz ou 100MHz) après le trigger (cf Fig 2).

Le *POSTTRIG*, programmable par l'utilisateur, permet de définir et de déplacer la position du signal de déclenchement dans la fenêtre d'acquisition. Il est réglable dans la gamme $1/F_p$ à $65535/F_p$ par pas de $1/F_p$ ($= 20\text{ns}$ ou 10ns), ce à quoi il faut ajouter un décalage fixe supplémentaire de $3/F_p$. Ceci est illustré en Fig 3a.

Dans l'exemple illustré par la Fig2, le *POSTTRIG* total est fixé à $6/F_p$ ($3/F_p$ programmé dans le registre + $3/F_p$ fixe). L'acquisition sera arrêtée $6/F_p + t_i$ après l'arrivée du signal de déclenchement (t_i correspond au temps mesuré par le vernier entre le T_a et le prochain coup d'horloge – voir II.4.b). La mémoire analogique contiendra alors les 2560 derniers échantillons enregistrés (dont seulement les 2520 premiers seront exploités).

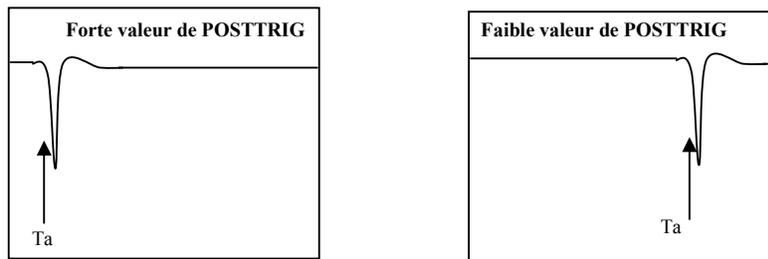


Fig 3a : centrage du Trigger dans la fenêtre d'acquisition pour deux cas de *POSTTRIG*.

Ainsi, une valeur de *POSTTRIG* proche de 64 assure le centrage du trigger au milieu de la fenêtre d'acquisition. Pour les valeurs de *POSTTRIG* > 127 , la position du trigger n'apparaît plus dans la fenêtre d'acquisition.

II.1.b) Sources de déclenchement.

Il existe cinq modes possibles pour le signal de déclenchement T_a . Ils sont sélectionnables par l'utilisateur (voir IV.4) :

- **Trigger sur signal** : c'est le résultat du « OU » logique des discriminateurs sur les signaux analogiques de l'une ou de plusieurs voies de la carte au choix de l'utilisateur. Les seuils individuels de ces discriminateurs sont programmables par pas de 0.5mV sur l'intégralité de la gamme d'entrée utilisable de la carte de $\pm 1\text{V}$ (DACs 12 bits). L'utilisateur peut également définir le sens de passage du seuil via le choix du front de déclenchement.
- **Trigger externe** : signal de déclenchement externe entrant sur une prise LEMO (signal EXT_TRIG au niveau NIM). Ce signal peut être soit utilisé comme toute autre source de trigger avec choix de son front, soit exploité directement comme trigger asynchrone (front avant seul) dans le cas où on se sert des discriminateurs de plusieurs cartes pour produire à l'extérieur des cartes (via leur sortie TRIG_OUT) un trigger qu'on leur renvoie de façon synchrone (voir figure 3b). Ce mode est sélectionné par le bit 4 du registre TRIG_TYPE (voir IV.4).
- **Trigger auto** : déclenché par une commande logicielle issue de l'acquisition. Il permet de générer un déclenchement aléatoire. Ceci correspond au mode de déclenchement automatique.

- **Trigger « auto + normal »** : résultat d'un « OU » logique entre le trigger sur signal et le trigger automatique.
- **Trigger aléatoire interne** : ce signal périodique interne est asynchrone de l'horloge. Lorsqu'il est sélectionné et que le mode de trigger choisi est « auto », ce signal sert de source au trigger automatique. On l'utilise pour la calibration rapide des verniers des puces MATAcq.

II.1.c) Front de déclenchement.

Le front de déclenchement (montant ou descendant) peut-être sélectionné dans tous les modes (sauf le trigger externe direct qui utilise le front montant uniquement).

II.1.d) Signal TRIGOUT.

Une copie du signal de pré-trigger (impulsion positive) généré par la carte MATAcq14 est disponible en sortie sur une prise LEMO en face avant (sortie TRIG_OUT au niveau NIM). Il peut en particulier permettre de synchroniser le déclenchement de plusieurs cartes.

Un résumé simplifié des modes de déclenchement de la carte est présenté en figure 3b.

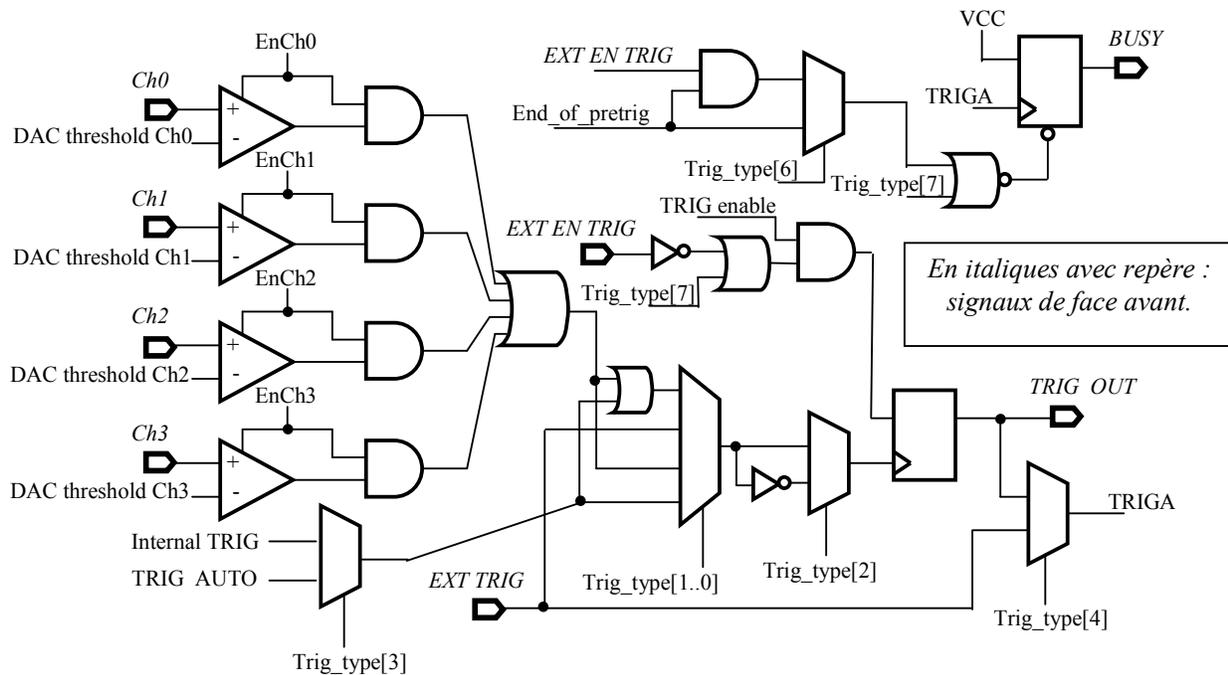


Fig 3b : description simplifiée de la chaîne de sélection de déclenchement.

II.1.e) Validation du trigger par un deuxième signal retardé.

Dans le cas où l'on voudrait valider les données mémorisées dans les puces MATAcq avant leur transfert dans la RAM, on peut utiliser l'entrée *EXT_EN_TRIG* pour introduire un signal de validation (voir figure 3c). Cela est particulièrement utile si le système produit un tel signal avec

un retard supérieur à la profondeur d'échantillonnage ($2560/F_p$ soit $1,25\mu\text{s}$ à 2GS/s et $2,5\mu\text{s}$ à 1GS/s) et inférieur au temps de transfert dans la RAM ($675\mu\text{s}$) et cela peut ainsi permettre de réduire fortement le temps mort potentiel lié à la lecture. Dans ce cas, l'usage habituel du signal *EXT_EN_TRIG* (qui permet d'inhiber le trigger comme décrit sur la figure 3b) est modifié.

Pour réaliser la validation, un compteur de latence programmable de 8 bits (appelé *POST_STOP_LATENCY*) avec des pas de $2,5\mu\text{s}$ est mis en route au moment de la fin du *POSTTRIG*, et si le signal externe de validation n'est pas arrivé avant la fin de ce délai, les puces MATACQ repassent en mode d'écriture des signaux analogiques d'entrée et en attente du prochain déclenchement. Si par contre le signal de validation est arrivé, les données en attente sont numérisées puis stockées dans la RAM. Ce mode est validé à l'aide du bit 5 du registre *TRIGGER_TYPE* (voir IV.4). De plus, un deuxième registre de 8 bits (appelé *POST_LATENCY_PRETRIG*) avec lui aussi des pas de $2,5\mu\text{s}$ permet de programmer le temps d'attente avant d'autoriser à nouveau le trigger si la validation n'a pas eu lieu. Le temps minimum pour ce faire est de $1,25\mu\text{s}$ à 2GS/s et de $2,5\mu\text{s}$ à 1GS/s . Il faut donc au minimum la valeur 1 dans ce registre.

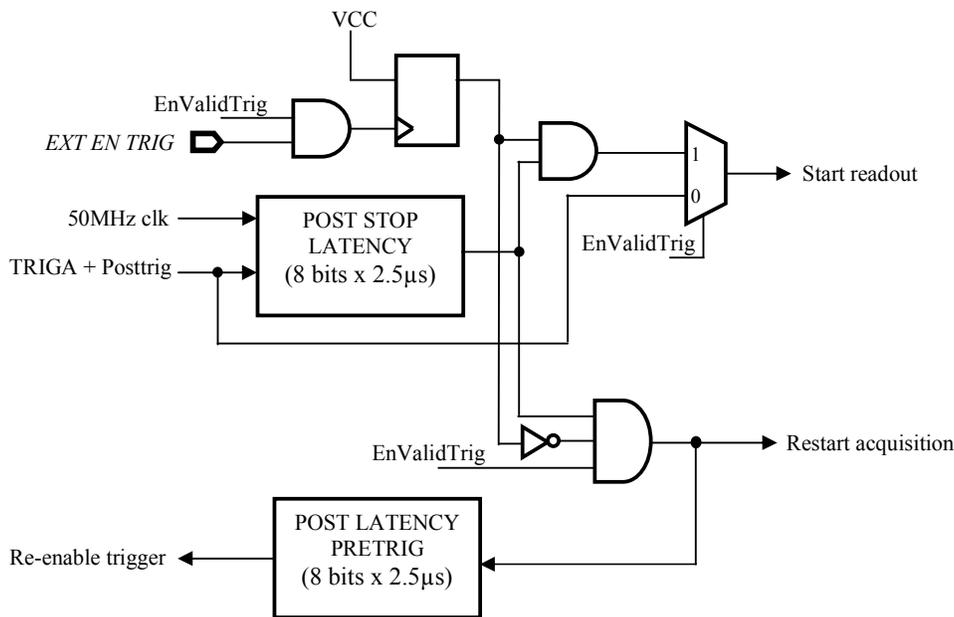


Fig 3c : description simplifiée du système de validation de déclenchement.

II.2. Temps mort lors du démarrage de l'acquisition ; Prétrig.

La fréquence de l'horloge présente sur la carte est relativement basse (50MHz ou 100MHz). Pour pouvoir échantillonner à une cadence supérieure au Giga-échantillon par seconde, les puces MATAcq réalisent une multiplication virtuelle de fréquence. Cette multiplication nécessite un asservissement dont la boucle de contrôle est interrompue lors du cycle de lecture des données. Lors du démarrage de l'acquisition, cet asservissement doit se stabiliser. Cela implique une attente de typique de 150 μ s avant d'atteindre le maximum des performances temporelles.

Pour cette raison, à chaque redémarrage de l'acquisition, la carte doit générer automatiquement un temps mort pendant lequel les triggers sont ignorés.

Ce temps mort est réglable par le PRETRIG, de 1 à 65535 fois la période d'horloge principale. Les valeurs de PRETRIG conseillées sont donc:

- 7500 (décimal) pour une horloge pilote $F_p = 50\text{MHz}$.
- 15000 (décimal) pour une horloge pilote $F_p = 100\text{MHz}$.

II.3. Séquence standard d'acquisition.

II.3.a) Acquisition démarrée par l'utilisateur.

La Fig 4 montre le déroulement standard d'une acquisition :

- La séquence commence par l'initialisation de la carte par un ordre *RESET*.
- Ensuite, les différents paramètres qui ne sont pas utilisés avec leur valeur par défaut doivent être programmés (PRETRIG, POSTTRIG, TRIGGER TYPE, TRIGGER EDGE, MASK, NB OF COL TO READ, FP FREQUENCY, ...).
- L'ordre de démarrage d'acquisition est ensuite envoyé (START_ACQUISITION). Celui-ci peut également être généré automatiquement (voir III.3.b).
- L'utilisateur envoie éventuellement un trigger software (dans le cas d'un trigger automatique) en ayant pris soin d'attendre au moins le temps nécessaire au PRETRIG.
- Le programme attend alors une requête émise par la carte MATAcq14 lorsque les données sont prêtes à être lues. Pour cela, il existe deux possibilités illustrées par la Fig 5 :
 - Attente et traitement d'une interruption (SRQ en GPIB, IRQ 1 à 7 en VME, format spécifique en USB).
 - Scanning régulier du LSB du registre d'interruption (INTERRUPT h80).

La première solution a l'avantage d'être moins bruyante pour le front-end de la carte car elle ne nécessite pas d'accès à cette dernière. Dans les deux cas, l'utilisateur doit acquiescer la requête en écrivant un 0 dans le registre *INTERRUPT*, mais ce dernier est de toutes façons remis à zéro par la commande *START_ACQ*.

- L'utilisateur peut alors lire partiellement ou totalement les données stockées dans la carte. Cela comprend :

- les valeurs du vernier et des échantillons (cf IV.3)
- la valeur de TRIG_REC qui permet de déterminer la position du trigger dans la fenêtre d'acquisition (cf II.4.b) et IV.4)

- L'utilisateur doit corriger les données avant de les utiliser (cf II.4):

- En soustrayant les piédestaux (cf II.1.a).
- En réordonnant les données (cf II.4.b).

Ces opérations peuvent être effectuées on-line ou off-line suivant le contexte.

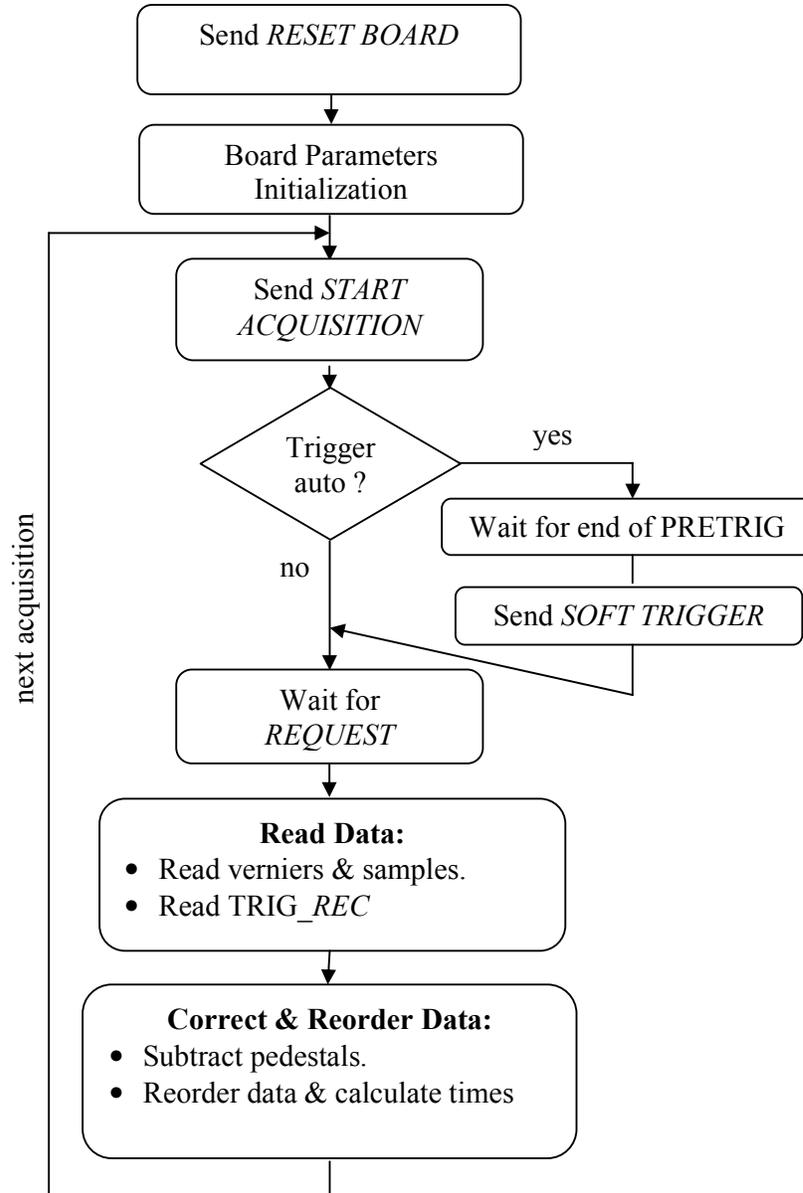


Fig 4 : Organigramme d'une acquisition standard.

II.3.b) Acquisition redémarrée automatiquement.

Afin de réduire le temps mort lié au redémarrage de l'acquisition, un mode automatique a été implémenté sur la carte. Son utilisation est commandée par le bit 2 du registre MODE_REGISTER (voir IV.4) qui est à 0 par défaut. Le principe est le suivant :

lorsque ce bit est à 1, il faut réaliser la première acquisition de façon normale via la commande START_ACQUISITION. A la fin de celle-ci, il est nécessaire de lire au moins l'un des

trois registres TRIG_REC, Valp_cp et Vali_cp **dans la RAM** (voir IV.3.a). Lors de cette lecture dans la RAM de l'un quelconque des trois, un START_ACQUISITION est généré automatiquement. Attention : si l'on veut lire les trois, on dispose alors de la durée du PRETRIG pour lire les deux derniers. Une lecture après la fin du PRETRIG pourrait en effet polluer les données analogiques de la nouvelle acquisition en cours.

Pour sortir de ce mode, il suffit de remettre le bit 2 du registre MODE_REGISTER à 0.

Attention : il ne faut pas « oublier » la carte dans ce mode sans avoir de trigger car elle reste alors bloquée en état d'acquisition, donc avec la puissance consommée maximum.

II.4. Corrections des données.

Les données brutes extraites de la carte doivent être traitées avant d'être réellement utilisables.

Ce traitement consiste en deux volets :

- Correction des piédestaux.
- Ré-ordonnement des données et calage en temps.

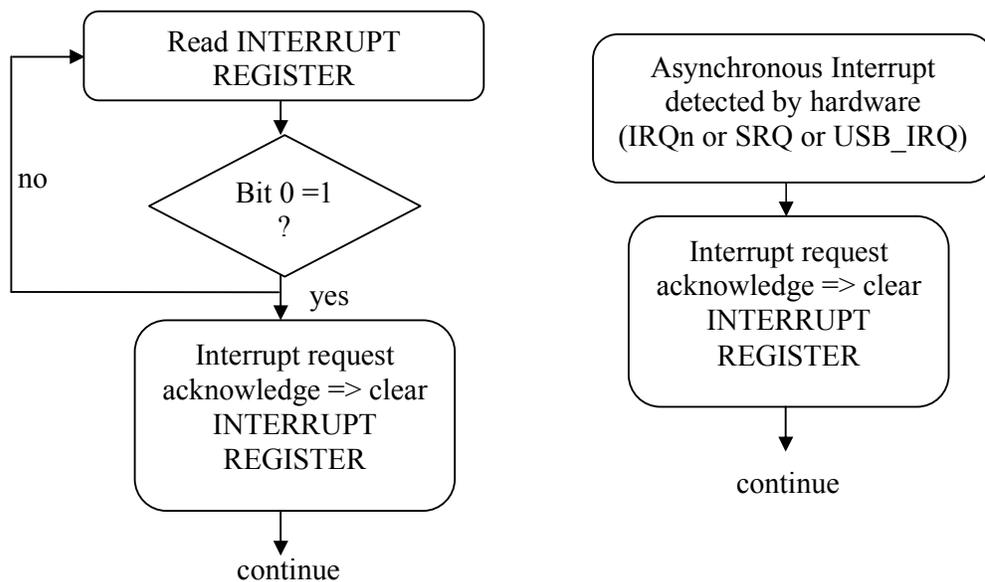


Fig 5 : deux possibilités de détection et de traitement de la requête : scanning du registre d'interruption ou traitement de l'interruption asynchrone.

II.4.a) Correction des piédestaux.

Les mémoires analogiques des puces MATAcq présentent par conception des dispersions de piédestal de cellule à cellule pouvant atteindre plusieurs dizaines de mV. Par contre, le piédestal d'une cellule donnée est extrêmement reproductible ($<200\mu\text{V RMS}$). Du fait de la structure de la puce, la dispersion des piédestaux présente une périodicité principale de 20 cellules, suivie d'une

distribution individuelle. Si elle n'est pas compensée, cette dispersion apparaîtra comme un bruit à la reconstruction du signal du fait de la position aléatoire du trigger dans la matrice.

Afin d'obtenir les performances nominales de bruit (rapport signal sur bruit de 81dB), les piédestaux qui sont stables dans le temps et avec la température doivent être soustraits par le logiciel d'acquisition individuellement cellule par cellule. Comme évoqué ci-dessus, il est également possible de soustraire 128 fois un pattern de 20 cellules. Cela permet de ne stocker que 20 piédestaux, et la perte de rapport signal sur bruit reste faible (environ 1 à 2dB) même si non négligeable.

Comme le piédestal d'une cellule est lié à sa position physique et non pas à sa position par rapport au Trigger, **il est obligatoire de réaliser cette soustraction AVANT de réordonner les données.**

Une méthode de calibration des piédestaux est exposée au III.3.b)

II.4.b) Corrections temporelles.

Le signal est échantillonné dans une mémoire circulaire. La première opération nécessaire à l'exploitation des données est donc de « déplier » la mémoire circulaire de chaque voie afin d'obtenir des tableaux de 2560 données ordonnées temporellement (cf Fig 6). Ceci peut par exemple se faire en réalisant une rotation de :

$$(1) ROT = (TRIG_REC - POSTTRIG) * 20$$

cellules vers la gauche des tableaux de données issues de la RAM et précédemment triées voie par voie (voir IV.3).

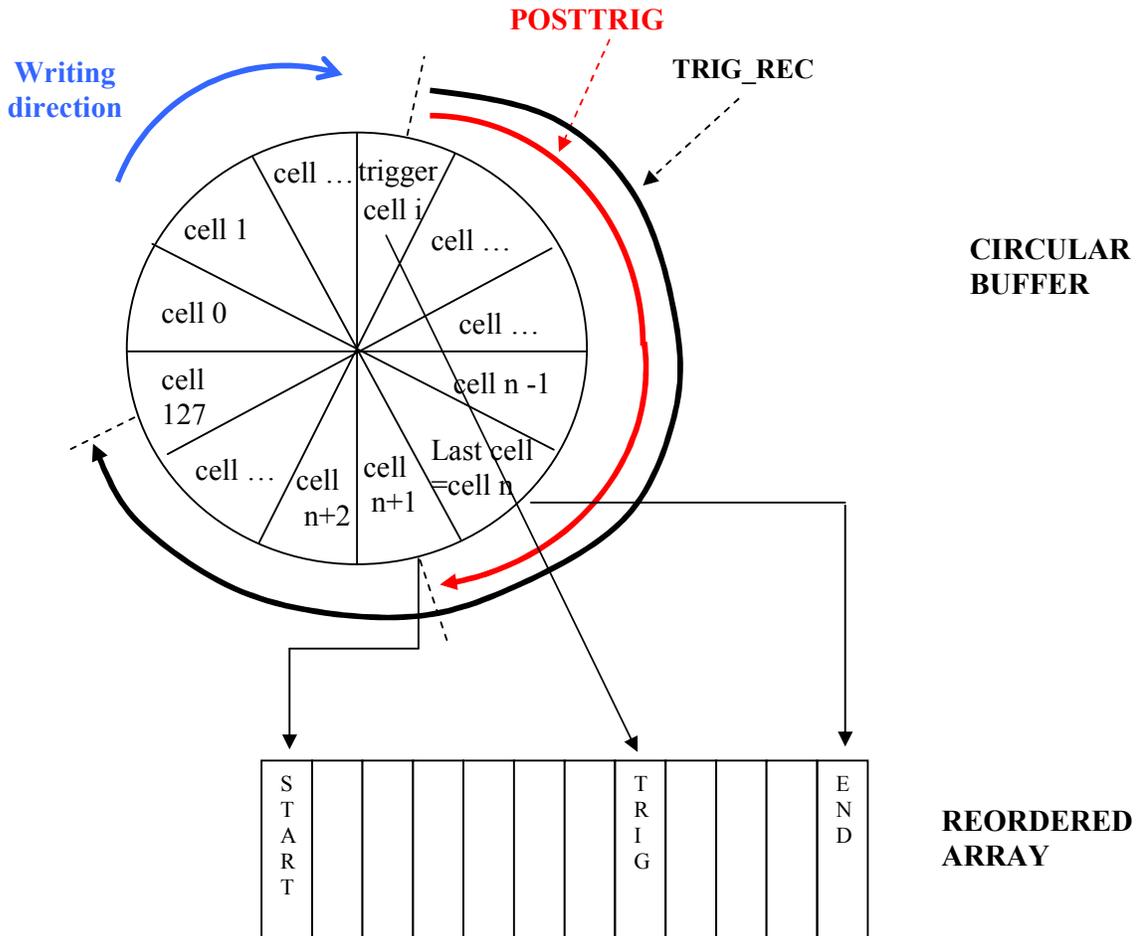


Fig 6 : dépliage de la mémoire circulaire

Où, de façon équivalente par un calcul d'un nouvel indice pour chaque donnée :

$$(2) \text{NEW}_i = (2560 + \text{OLD}_i - \text{END_CELL}) \text{ modulo } 2560$$

où **END_CELL** est l'indice de la dernière cellule écrite :

$$\text{END_CELL} = 20 * (\text{POSTTRIG} + \text{TRIG_REC}) \text{ modulo } 128$$

Le signal de déclenchement TRIGA (trigger asynchrone) est la référence absolue qui sert à caler temporellement les données (cf Fig 2). Pour retrouver sa position, on utilise l'information fournie par un interpolateur temporel (vernier) mesurant t_i , intervalle de temps séparant l'arrivée de TRIGA du front montant d'horloge F_p suivant.

Cette information associée aux constantes de calibration *MINVER* ET *MAXVER* (cf III.3.a) permet de déterminer la position du Trigger et donc de recalibrer les données avec une précision maximale typique de l'ordre de 50ps RMS. Ce recalage est superflu si l'utilisateur désire seulement étudier une forme d'onde et dans ce cas, la courbe acquise présentera un jitter d'une période de F_p . L'information des 4 verniers d'une même carte étant redondante pour réaliser l'ajustement temporel, il est donc possible :

- d'utiliser uniquement le vernier de la voie 0.
- d'utiliser le vernier i pour la voie i .
- d'appliquer une moyenne des corrections calculées à partir des 4 verniers pour chacune des 4 voies afin d'affiner la précision en temps.

La formule suivante permet de déterminer le temps de chaque point du tableau réordonné, avec par convention une origine des temps ($\text{Time} = 0$) à l'arrivée du Trigger.

$$(3) \text{Time}[\text{NEW}_i] = \text{DT0} + \{\text{NEW}_i - 20 * [128 - \text{POSTTRIG} + \text{Correc_Ver}]\} * \text{dT}$$

$$\text{Avec (4) } \text{Correc_Ver} = (\text{VERNIER} - \text{MINVER}) / (\text{MAXVER} - \text{MINVER})$$

Où :

- dT est la période d'échantillonnage (500ps ou 1ns)
- DT0 est un offset temporel fixe, proche de 0, correspondant à des temps de transit dans la carte (calibration décrite au III.1.a)

Une solution alternative, mais équivalente consiste à générer le tableau réordonné par une rotation vers la gauche des données de :

$$(1b) \text{ROT} = (\text{TRIG_REC} - \text{POSTTRIG}) * 20 - \text{INT}(\text{Correc_Ver} * 20) \text{ cellules}$$

où INT correspond à l'arrondi à l'entier le plus proche.

Le trigger est alors situé à un temps

$$(5) t_T = [\text{Correc_Ver} * 20 - \text{INT}(\text{Correc_Ver} * 20)] * \text{dT}$$

avant la cellule d'ordre d'indice $(128 - \text{POSTTRIG}) * 20$ (à l'offset DT0 près).

II.5. Fonctionnement avec 2 voies de 5k ou 1 voie de 10k échantillons.

La carte MATAcq14 permet de grouper soit 2 fois 2 voies, soit les 4 voies de la carte pour augmenter la profondeur de mesure. Il faut alors injecter le même signal en face avant sur les entrées des voies groupées. Dans ce cas, un complément de POSTTRIG sera ajouté automatiquement pour remplir la profondeur supplémentaire. Il dépendra du nombre de voies

groupées et de la fréquence d'échantillonnage choisie Féch. Le trigger sera toujours situé dans les premiers 2520 points ou en amont (en fonction du POSTTRIG).

Groupage des voies	POSTTRIG en échantillons	POSTTRIG en temps
4 x 1	Normal (comme programmé)	Normal (comme programmé)
2 x 2	Normal + 2520	Normal + 2520/Féch
1 x 4	Normal + 3 x 2520	Normal + 3x2520/Féch

Il pourra y avoir un léger décalage en temps et en gain entre les voies. Pour calibrer le décalage en gain, un niveau continu aux trois quarts de la pleine échelle pour les deux polarités est préconisé. Pour le décalage en temps, une calibration avec une rampe en tension sera nécessaire. Les derniers points de la première voie seront comparés aux premiers de la suivante, et ainsi de suite si plus de deux voies sont chaînées.

III. SYNCHRONISATIONS, CALIBRATIONS, MONITORAGE.

III.1. Synchronisation entre les voies.

III.1.a) Voies d'une même carte.

Un unique signal de déclenchement est utilisé pour toutes les voies d'une même carte. L'acquisition de ces voies sera donc naturellement synchrone, avec un jitter typique de seulement 20ps RMS. L'éventuel offset temporel dT0, constant, entre les voies (dû principalement à la propagation du signal de déclenchement sur la carte, mais aussi à des longueurs de câbles différentes sur les entrées) sera calibré une fois pour toutes. Cette calibration s'effectue en envoyant un même signal sur toutes les entrées et en recherchant la position fine du trigger sur chacune des voies.

Dans le cas où la carte est utilisée en trigger sur signal, une méthode de synchronisation fine consiste donc à interpoler par logiciel le passage du signal sur le seuil de la voie qui déclenche pour dater finement toutes les voies mesurées.

III.1.b) Voies situées sur des cartes différentes.

La synchronisation n'est possible que si la source de déclenchement est commune aux différentes cartes. Pour cela, plusieurs possibilités sont envisageables :

- utiliser un signal de déclenchement externe commun à toutes les cartes.
- générer le signal de déclenchement sur une carte fixe (maître) qui s'auto-déclenche et envoyer sa sortie de déclenchement TRIG_OUT sur l'entrée de déclenchement externe des autres cartes (via un buffer NIM si plus d'une carte destinataire).
- générer le signal de déclenchement sur l'une quelconque des cartes. Les sorties TRIG_OUT de toutes les cartes seront alors reliées sur une logique NIM externe puis le résultat sera redistribué de façon synchrone sur toutes les cartes via leur entrée EXT_TRIG. C'est cette dernière qui sera alors programmée comme source du trigger asynchrone via le bit 4 du registre TRIGGER_TYPE.

Dans tous les cas une calibration de l'offset temporel entre les cartes est nécessaire. Cette calibration, similaire à celle nécessaire pour caler les voies d'une même carte, sera dépendante du set-up (longueur des câbles...).

III.2. Signal de synchronisation. Relecture partielle des matrices. Signal BUSY.

L'une des sorties NIM en face avant peut être configurée soit comme SYNC_OUT, soit comme BUSY respectivement à l'aide des cavaliers S4 et S2. SYNC_OUT est un signal de synchronisation correspondant à l'écriture dans la première cellule de la deuxième colonne de la mémoire analogique circulaire, et qui peut être rendu disponible en face avant. Pour certaines applications, ce signal peut permettre de déclencher les signaux analogiques sources et ainsi de s'assurer de leur position fixe dans la mémoire. Ainsi, si l'occupation temporelle des signaux à acquérir est faible, l'utilisateur aura la possibilité de ne relire que le début de la profondeur de la mémoire analogique et de limiter ainsi le temps mort lié à l'acquisition.

BUSY est un signal destiné à informer le monde extérieur que la carte n'est pas prête à recevoir un signal (elle est soit en cours de transfert des données entre les puces MATAcq et la RAM, soit au repos, soit en début de phase d'acquisition). Son passage à 0 indique alors que la carte est maintenant prête à enregistrer un signal.

III.3. Calibrations.

Pour atteindre l'optimum de ses performances métrologiques, la carte MATAcq14 nécessite des calibrations. Ces dernières restent valides plusieurs semaines, voire plusieurs mois. Les données correspondantes peuvent donc être mémorisées pour chaque mode de fonctionnement. A cette fin, une EEPROM de 128koctets est disponible sur la carte.

III.3.a) Calibration de l'interpolateur.

L'interpolateur temporel (vernier) nécessite une calibration. Cette opération sera nécessaire suite à **tout changement** de la fréquence d'échantillonnage. Une fois réalisée, son résultat pourra être mémorisé puis réutilisé. Cette calibration, basée sur une mesure statistique nécessitera l'acquisition de plusieurs milliers d'évènements et pourra durer de une seconde à quelques minutes en fonction du type de bus et du logiciel utilisés. Elle peut se faire avec les entrées connectées à une source quelconque, mais le trigger doit être asynchrone par rapport à l'horloge. Le résultat de cette calibration sera un histogramme « carré », dont les bords correspondront à deux fronts montants successifs de Fp. La valeur correspondant au bord de gauche (*MINVER*) sera le « zéro » du vernier, et celle du bord de droite (*MAXVER*) correspondra à un vernier de 1/Fp (soit 10 ou 20ns). Les valeurs intermédiaires en seront ensuite déduites lors des acquisitions par une simple règle de trois.

La méthode de calibration la plus précise mais la plus longue consiste à mettre le système dans le mode (TRIGGER_TYPE, PRETRIG, POSTRIG) où l'on veut réaliser les mesures, et à accumuler plusieurs milliers d'évènements jusqu'à ce que les bords de la distribution du vernier soient bien nets. La précision obtenue sera alors maximale mais plusieurs minutes seront nécessaires.

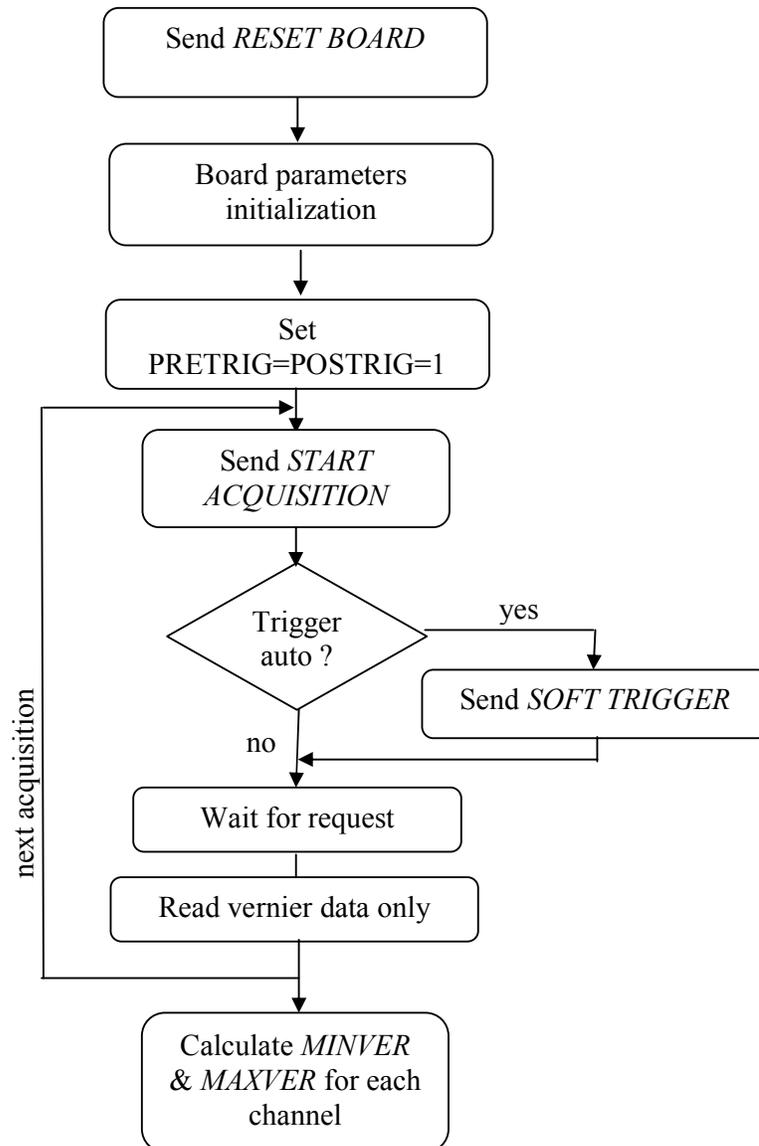


Fig 7 : Organigramme pour la calibration des verniers.

Si une précision moindre suffit, il existe des modes plus rapides. L'organigramme de la Fig 7, qui découle de celui de la Fig 4, montre en effet un exemple de déroulement d'une telle calibration optimisée de façon à être la plus rapide possible. En particulier :

- Les PRETRIG et POSTRIG sont fixés à leur valeur minimale.
- NB_OF_COL_TO_READ doit être chargé à 1.
- Seules les valeurs de vernier sont lues dans la RAM. C'est à dire que si NCH canaux sont lus, seulement les 2*NCH données sont lues et seuls les mots de NCH+1 à 2*NCH sont conservés (cf IV.3).

Après un certain nombre d'acquisitions (au minimum 10000), les bornes du vernier *MINVER* et *MAXVER* peuvent être calculées.

En première approximation, il est possible de simplement utiliser les valeurs minimales et maximales du vernier pour *MAXVER* et *MINVER*. Cette méthode est suffisante pour obtenir des résolutions temporelles typiquement de l'ordre de 60ps RMS.

Pour une meilleure précision, il faut pour trouver les deux bords fixer un seuil correspondant à la moitié du nombre de coups moyens par valeur d'ADC dans la distribution « carrée ».

Pour obtenir encore plus de précision, il est possible d'utiliser des méthodes plus complexes.

Un deuxième mode de calibration encore plus rapide est disponible. Pour cela :

- Charger NB_OF_COL_TO_READ à 0.
- Positionner le trigger en mode auto.
- Valider le trigger aléatoire interne.
- Lancer un Start_ACQUISITION.

La RAM se remplit alors de 65536 valeurs de vernier correspondant à 16384 triggers aléatoires. Pour chaque trigger on trouve 4 valeurs, rangées dans l'ordre suivant :
vernier canal 3, vernier canal 2, vernier canal 1, vernier canal 0.

A l'issue de cette calibration, une interruption est générée pour permettre à l'utilisateur de lancer une lecture. Cette lecture peut être réalisée en mode bloc, ce qui permet de réaliser la calibration du vernier en moins d'une seconde si le PRETRIG et le POSTTRIG sont courts.

Il faut noter, que pour ce mode de calibration particulier, les distributions obtenues ne sont pas nécessairement uniformes. Par contre, les bornes MAXVER et MINVER sont extrêmement bien définies et donc parfaitement exploitables pour les corrections. Si par hasard ce n'était pas le cas, il faudrait relancer la calibration avec une valeur différente de PRETRIG.

Pour améliorer la précision, il est également possible d'effectuer plusieurs fois de suite cette opération et d'accumuler ainsi plus de données dans l'histogramme.

Notre expérience nous a montré que cette calibration reste valide plusieurs semaines, voire plusieurs mois. Les bornes peuvent néanmoins être mises à jour en temps réel à partir des données des événements lus si leur déclenchement est aléatoire par rapport à l'horloge pilote de la carte.

III.3.b) Calibration des piédestaux.

Pour cela, une calibration des lignes de base est nécessaire. Cette opération sera nécessaire suite à **tout changement** soit de la fréquence d'échantillonnage, soit de la bande passante de l'ampli d'écriture (BWL), soit des modes de lecture (FAST READ MODES). Elle consistera à réaliser une mesure moyennée sur une dizaine d'acquisitions brutes des lignes de base pour toutes les cellules. Lors de cette opération, les entrées doivent être :

- soit débranchées,
- soit mises à la masse,
- soit, et c'est la meilleure solution en terme de réjection des parasites, branchées sur leur source sans présence de signal ou avec la source hors tension.

Le trigger doit alors être soit automatique, soit externe.

La procédure d'acquisition est la même que pour une acquisition standard, mais la lecture de TRIG_REC peut néanmoins être ignorée. Il n'est bien sûr fait aucune correction temporelle sur les données. A chaque acquisition, le tableau des moyennes sera stocké et ensuite soustrait par logiciel aux données brutes non triées. La durée de cette opération de calibration est inférieure à la seconde.

Dans le cas où l'entrée est connectée à des signaux physiques peu probables, il est également possible de réaliser cette calibration sans déconnecter l'entrée. Cependant, il faudra vraisemblablement augmenter le nombre d'acquisitions pour diminuer l'effet du bruit supplémentaire.

Notre expérience nous montre que cette calibration reste valide plusieurs semaines.

III.3.c) Calibration temporelle entre différents canaux.

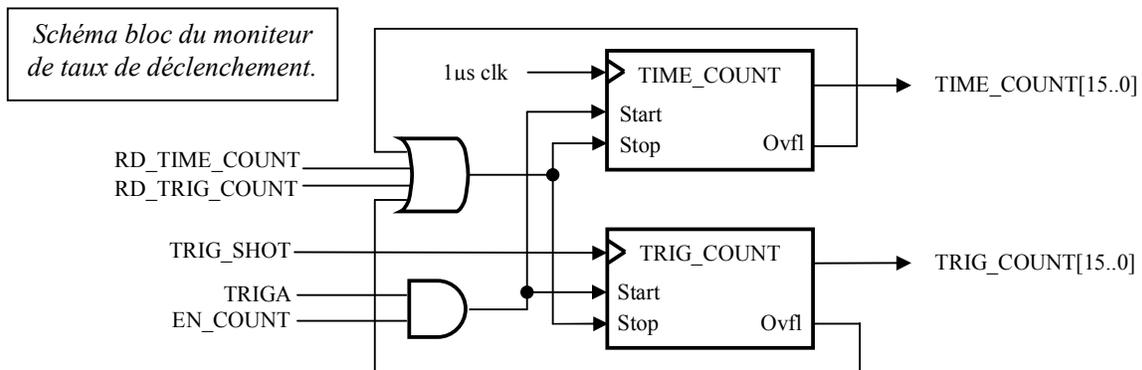
Cf III.1

III.4. Moniteur de taux de déclenchement.

Le temps mort lié au transfert des données vers la RAM et à la lecture des évènements ne permet pas à l'utilisateur de connaître le taux de déclenchement de la carte dans les conditions choisies pour le trigger. C'est pourquoi la carte MATAcq14 offre la possibilité de mesurer directement ce taux de déclenchement à l'aide de deux compteurs 16 bits appelés « trig_count » et « time_count ». Ils sont tous les deux remis à zéro lors du trigger. Le premier compte le nombre de triggers produits dans les conditions de déclenchement définies (TRIG_SHOT), et le second le nombre de μ s écoulées depuis le début du comptage. Le bit de poids faible EN_COUNT du registre appelé RATE_REG autorise le comptage. Celui-ci, qui fonctionne jusqu'à 200MHz, démarre sur le TRIGA et se termine :

- soit lors de la lecture de l'un des deux compteurs,
- soit lors de la saturation de l'un d'eux.

Il est possible de lire les quatre octets des registres de comptage en mode bloc et de gagner ainsi beaucoup de temps en USB par exemple.



IV. DESCRIPTION TECHNIQUE.

IV.1. Standards mécaniques et électriques.

IV.1.a) Standard mécanique.

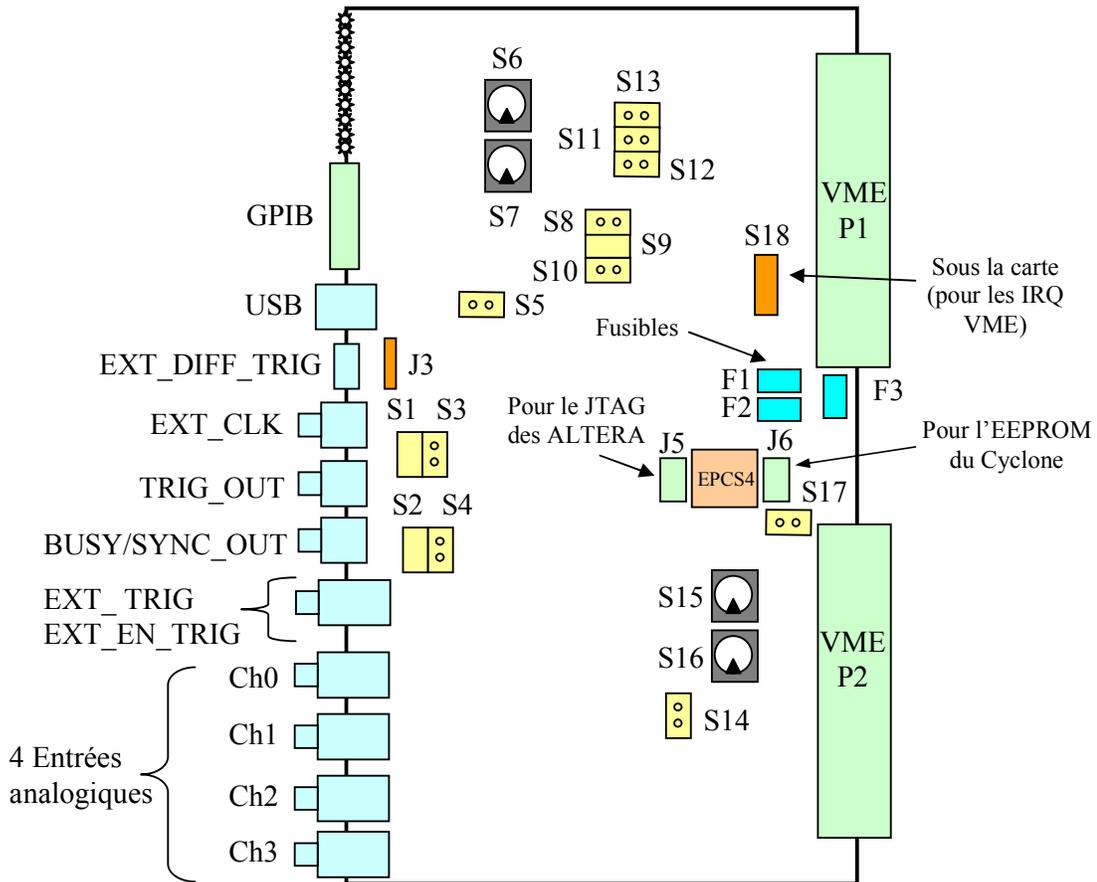


Fig 8 : implantation des connecteurs et des éléments de configuration sur la carte MATAcq14.

La carte MATAcq14 est au format mécanique VME 6U (160x233,3mm²). Les deux connecteurs P1 et P2 du châssis VME sont utilisables, à la fois pour l'alimentation et le dialogue VME. Cependant, ces cartes peuvent tout à fait être utilisées via les bus GPIB et USB hors d'un châssis VME, ou en n'utilisant ce dernier que comme support mécanique et d'alimentation.

Les prises utilisées pour toutes les entrées/sorties numériques sont de type LEMO femelle. Pour les entrées analogiques, elles sont soit en LEMO simple, soit en SMA, soit en LEMO double selon les versions.

IV.1.b) Interfaces électriques.

La carte MATAcq14 est compatible avec trois bus d'acquisition :

- VME via le connecteur P1 du VME (plus le P2 pour les modes A32/D32 et A32/D64), connecteur 96 pattes mâle DIN 41612 .

- GPIB via le connecteur deux rangées placé en face avant (mâle 26 points au pas de 1,28mm).
- USB full speed (12Mb/s) via le connecteur USB type B en face avant.

Chaque carte possède une adresse codée sur 8 ou 16 bits configurable par un jeu de commutateurs hexadécimaux rotatifs. Pour le GPIB et le VME A24/D16, on utilise uniquement les deux commutateurs S6 et S7. Pour le VME A32/D32 ou A32/D64, il faut utiliser les quatre.

- En GPIB, l'adresse est configurable de 1 à 29 (décimal).
- En VME, l'adresse est configurable de h01 à hFF sur les bits 16 à 23 pour le mode A24/D16, et de h0001 à hFFFF sur les bits 16 à 31 pour les modes A32/D32 et A32/D64.

Le choix du type d'interface est déterminé par les cavaliers S9 et S10. Par défaut (sans cavalier), le bus utilisé est le VME. Lorsque le cavalier S10 est monté, c'est le GPIB qui est utilisé. Lorsque c'est le cavalier S9, c'est l'USB. Si on monte les deux, un mode VME « réduit » est sélectionné pour certaines applications spécifiques.

IV.1.c) Bilan des signaux en face avant.

Les signaux logiques rapides d'entrée (EXT_TRIG) et de sortie (BUSY/SYNC_OUT et TRIG_OUT) de la carte MATAcq14 utilisent la norme NIM (-16mA dans 50 Ohms soit -800mV pour l'état logique « 1 »).

Nom de la prise	Fonction	Connecteur	I/O	Type
IN0+ to IN3 +	Positive Analog Inputs	LEMO or SMA	I	50Ohm terminated
IN0- to IN3 -	<i>Negative Analog Inputs (option)</i>	Half double LEMO	I	50Ohm terminated
EXT_EN_TRIG	External Trigger Enable	Half double LEMO	I	NIM
EXT_TRIG	External Trigger	Half double LEMO	I	NIM
EXT_DIFF_TRIG	External Trigger	Double pin	I	DIFF ECL (adaptable by J3)
EXT_CLK	External clock	LEMO	I	NIM
TRIG_OUT	Trigger Output	LEMO	O	NIM
BUSY/SYNC_OUT	Busy/Synchro Output	LEMO	O	NIM

Les leds en face avant permettent d'avoir une image de l'état courant de la carte. Les vertes indiquent la présence des alimentations externes et les rouges celles des signaux internes via des monostables qui permettent de visualiser des impulsions très courtes et des portes logiques pour les niveaux continus.

Nom de la led	Type	Fonction
VME	Monostable + porte	Accès VME acquiescé par la carte.
GPIB	Monostable + porte	Accès GPIB acquiescé. Reste allumée si EOI n'est pas envoyé par le contrôleur à la fin de la trame d'écriture.
USB	Monostable + porte	Accès USB acquiescé par la carte.
RESET	Monostable + porte	Reset de la carte.
CLOCK	Monostable seul	L'Altera fournit l'horloge principale à la carte.
BUSY	Monostable + porte	Reproduit le signal BUSY.

ACQRUNNING	Monostable + porte	Est allumée après un "start acquisition". Est éteinte à la fin du POSTTRIG. Si elle reste allumée sans les suivantes, c'est qu'on a pas eu de trigger.
TRIG	Monostable + porte	Image du signal TRIGA (trigger asynchrone).
WR-RAM	Monostable + porte	Accès en écriture à la RAM de données.
INTERRUPT	Monostable + porte	Reproduit le signal INTERRUPT qui est produit à la fin de la séquence d'acquisition.

IV.1.d) Alimentations.

La carte MATAcq14 utilise les alimentations standard du VME : +/-12V et +5V.

Elle fabrique le -5V pour la logique ECL à partir du +5V à l'aide d'un convertisseur DC-DC capable de délivrer 600mA utiles.

Le +3,3V pour les puces MATAcq est régulé à partir du +5V. Le -3,3V est régulé à partir d'un -5V provenant d'un deuxième convertisseur DC-DC capable de délivrer 1A utiles.

Les intensités consommées sur ces différentes alimentations sont :

Alimentation	Consommation	Fusible	Calibre
+12 V	0.35A	F2	1A
-12V	0.15A	F1	1A
+5V	1.5A + X x Y x 1.2A	F3	5A

où X est le taux d'acquisition = rapport du temps passé en attente d'événement / temps total .

X vaut 1 dans le cas d'acquisition d'événements peu fréquents.

X est faible (peut descendre jusqu'à 1%) dans le cas d'événements fréquents. Dans ce cas en effet, le temps mort de lecture est dominant par rapport au temps passé en attente d'événement.

Y dépend du mode de bande passante (cf registre de contrôle en IV.4) :

	BWL0	BWL1	Bande passante	Y
Mode pleine bande	0	0	300 MHz	1
Mode normal	1	0	230 MHz	0,6
Mode normal	0	1	230 MHz	0,6
Mode éco	1	1	180 MHz	0,35

IV.1.e) Brochage des connecteurs non standards.

- Connecteur GPIB (mâle 26 points, pas de 1,28mm, ERNI mini HE10 mâle type B)

Référence : J2.

1 : D1	2 : D5
3 : D2	4 : D6
5 : D3	6 : D7
7 : D4	8 : D8
9 : EOI	10 : REN
11 : DAV	12 : GND
13 : NRFD	14 : GND
15 : NDAC	16 : GND
17 : IFC	18 : GND
19 : SRQ	20 : GND

21 : ATN 22 : GND
 23 : GND 24 : GND
 25 : NC 26 : NC

Le connecteur femelle correspondant peut être directement serti sur une nappe 24 conducteurs équipée à l'autre extrémité d'un connecteur GPIB standard (CENTRONICS 24 points). Jusqu'à 18 connecteurs femelles peuvent être mis en parallèle sur le câble en nappe (attention alors à l'intégrité des signaux sur le bus).

- Connecteur Active Serial pour l'E2PROM de l'ALTERA Cyclone (femelle 10 points 2 rangées, pas de 1,28mm)

Référence : J6.

Permet de reconfigurer l'E2PROM (EPCS4) à partir d'un fichier Altera « .pof » dans le mode active serial.

- Connecteur JTAG pour les deux ALTERAs (femelle 10 points 2 rangées, pas de 1,28mm)

Référence : J5.

Permet un accès JTAG direct aux deux ALTERAs et leur reprogrammation.

IV.1.f) Straps et supports de réseaux.

Un certain nombre de supports de straps, interrupteurs et réseaux sont disponibles sur la carte. Voici leur rôle :

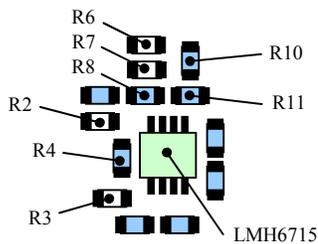
Référence	Rôle
S1	On utilise l'entrée EXT_TRIG différentielle (exclusif de S3)
S3	On utilise l'entrée EXT_TRIG unipolaire par Lemo (exclusif de S1)
S2	La sortie BUSY/SYNC_OUT sort le signal « BUSY » (exclusif de S4)
S4	La sortie BUSY/SYNC_OUT sort le signal « SYNC_OUT » (exclusif de S2)
S5	Pour tirer à 0 l'entrée SI_WU du FT245B.
S6 et S7	Adresse de la carte (voir IV.1.b)
S 8	Absent normalement. Permet de sélectionner EXT_SYNC comme horloge principale de la carte.
S9 et S10	Choix du bus de données d'acquisition (voir IV.1.b)
S11	On utilise l'entrée EXT_CLK pour l'horloge (exclusif de S12)
S12	On utilise l'oscillateur 100MHz pour l'horloge (exclusif de S11)
S13	Envoie le signal EXT_CLK vers l'entrée EXT_SYNC de l'ALTERA
S 14	Absent normalement. Permet d'aiguiller la sortie du FT245B vers le bus JTAG pour configurer les ALTERA et la PROM du Cyclone via l'USB.
S15 et S16	Adresse de la carte (voir IV.1.b)
S17	Absent normalement. Empêche le conf_done de remonter ce qui permet alors de ne pas valider la configuration de l' ALTERA à la mise sous tension.
S18*	Choix de l'IRQ en VME (IRQ1 en bas vers IRQ7 en montant).
J3	Adaptation pour l'entrée EXT_DIFF_TRIG. Mettre 100 ohms entre les pattes 1 et 2 et entre les pattes 3 et 4

* situé sous la carte.

IV.1.g) Implantation des entrées différentielles.

Les signaux d'entrée sont par défaut unipolaires. Pour passer en entrées différentielles, il faut utiliser certaines empreintes de résistances CMS-805 libres situées de part et d'autres de l'ampli d'entrée (LMH6715), lui-même situé en bas à gauche des puces MATAcq, et en changer certaines autres. Le plan d'équipement de cette zone de la carte est présenté ci-dessous. Les résistances déjà présentes apparaissent en bleu, alors que les empreintes libres apparaissent en blanc.

Pour passer en entrées différentielles (avec les deux polarités adaptées sur 50 ohms), il faut d'abord enlever les résistances R4, R8 et R10. Il faut ensuite mettre 84.5 ohms sur R3, 0 ohm sur R2 (utiliser la valeur précédente de R3), 121 ohms sur R7 et 50 ohms sur R6. Enfin, il faut remplacer R11 (750 ohms) par 237 ohms.



Implantation des composants autour de l'ampli différentiel situé dans le bloc, en bas à gauche de la puce MATAcq.

IV.2. Interfaces.

IV.2.a) Interface VME.

La carte est compatible avec les modes A24-D16, A32-D32 et A32-D64. Elle supporte les ADDRESS MODIFIERS h08, h09, h0B, h0C, h0D, h0F, h39, h3B, h3D et h3F, et accepte donc les accès en mode bloc. Les sous-adresses sont codées sur les bits 08 à 15. Le mode A32-D64 (MBLT) n'est utilisable qu'en lecture.

L'adresse de base est donnée par : $\text{switch_address} \times \text{h}10000$ ($0 < \text{switch_address} < \text{hFF}$ pour A24-D16 et $0 < \text{switch_address} < \text{hFFFF}$ pour A32-D32)

L'offset est donné par : $\text{sub_address} \times \text{h}100$ (la liste des sous-adresses est donné en d/)

L'adresse complète est donnée par : $\text{base_address} + \text{offset}$

L'interruption VME (IRQ) est utilisée pour signaler au système d'acquisition la présence de données en attente dans la RAM. Un bloc d'inverseurs miniatures situé au dos de la carte permet de choisir vers quelle ligne de IRQ1 à IRQ7 cette interruption est envoyée. Elle doit être acquittée par une écriture quelconque à l'adresse du registre INTERRUPT qui la remet à 0.

L'envoi de IRQ peut-être inhibé par le positionnement à 1 du bit INH_IRQ (bit 1 du registre CONTROL_REG).

La présence de données en attente peut également être détectée sans traiter l'interruption, mais en scannant la présence d'un 1 dans le même registre INTERRUPT. Cependant, c'est à éviter car c'est une source de bruit pendant l'acquisition de données.

La lecture des données stockées dans la RAM s'effectue en réalisant n lectures successives à l'adresse de RAM_DATA ou en réalisant des séries de lectures de bloc à cette même adresse (blocs de 128 mots de 16 bits, 64 mots de 32 bits ou 256 mots de 64 bits maximum d'après la norme VME).

IV.2.b) Interface GPIB.

Les cartes MATAcq14 peuvent avoir une adresse comprise entre 0 et 29 (décimal).

- Ecriture

Les ordres GPIB sont exécutés en écrivant dans la carte située à l'adresse sélectionnée par les commutateurs rotatifs une suite d'octets.

Le contenu du premier octet correspond toujours à la sous-adresse de la commande à exécuter ou du registre à adresser.

Les contenus des octets suivants correspondent aux données. Le nombre d'octets de données est libre sauf dans le cas d'une écriture à la sous-adresse hFF qui est une demande de lecture (voir ci-dessous). Même dans le cas d'une commande, un mot de donnée doit toujours être envoyé (la valeur de cette donnée sera ignorée dans ce cas).

- Lecture

Un mode de lecture par bloc a été implémenté pour accélérer la lecture par GPIB. La lecture d'un registre s'effectue de la façon suivante :

* Opération d'écriture des 4 octets (#FF)(#LSB)(#MSB)(#REG) avec :

- (#FF) : octet de valeur hFF
- (#LSB) : octet de valeur correspondant aux 8 bits de poids faibles du nombre de bytes à lire (nbyte).
- (#MSB) : octet de valeur correspondant aux 8 bits de poids forts du nombre de bytes à lire.
- (#REG) : octet de valeur correspondant à la sous-adresse du registre à lire (h0C pour lire les données stockées en RAM).

* La carte passe alors en mode « talker » GPIB et envoie nbyte octets lus à la sous-adresse #REG.

Dans le cas général (hors DATA RAM) nbyte =1.

En GPIB, les 16 bits de données converties par l'ADC sont lus en deux octets consécutifs dans l'ordre MSByte, LSByte.

- Interruption

A la fin du vidage des données dans la RAM, la carte MATAcq14 génère un « Service Request (SRQ) » sur le bus GPIB. La carte n'est pas compatible avec les protocoles de PARALLEL ou SERIAL POLLING. Cependant le contrôleur GPIB peut identifier l'émetteur de SRQ en scannant alternativement les registres INTERRUPT des différentes cartes. Ce n'est pas une source de bruit car l'acquisition est alors terminée.

Comme en VME, l'interruption (SRQ) est remise à 0 par une écriture quelconque à l'adresse du registre INTERRUPT. De même, la présence de données en attente peut également être détectée sans traiter l'interruption, mais en scannant la présence d'un 1 dans le même registre INTERRUPT.

- Mode Broadcast.

Une écriture à l'adresse 30 (décimal) permet de réaliser une écriture simultanée dans toutes les cartes MATAcq14 présentes sur le bus GPIB.

IV.2.c) Interface USB.

Les cartes MATAcq14 sont équipées d'une interface USB basée sur le circuit FT245B de FTDI. Ce dernier permet des accès en USB 2.0 full speed (12Mb/s). Un protocole spécifique de transfert de données a été développé au LAL. Il inclut les notions de sous-adresse et d'interruption et permet donc d'utiliser toutes les fonctions de la carte décrites dans ce document. Les drivers correspondants sont disponibles pour des développements en langage C ou en code LabView sur le site matacq.free.fr.

IV.3. Gestion des mémoires .

IV.3.a) Lecture des données dans la RAM ; mapping.

Lors de la lecture des puces MATAcq, les données sont numérisées par les ADC 14bits puis transférées dans la RAM. L'ordre de la séquence est toujours le même : on commence par lire la première cellule (en haut à gauche) de la matrice, et on termine par la dernière (en bas à droite), ceci indépendamment de la position du trigger et du point d'arrêt de l'acquisition.

Il faudra donc recalculer les données par rapport au trigger, ce qui a été expliqué en II.4.b). Les voies sont traitées en parallèle, et peuvent être masquées individuellement lors de l'écriture en RAM. Ceci implique que, dans le cas où NCH voies sont validées par le masque (valeur par défaut = h0F), les données sont rangées en mot de 16 bits par groupes de NCH adresses correspondant aux NCH voies (dans l'ordre 3 à 0, moins les canaux masqués). Le tableau ci-dessous explicite le rangement des mots en RAM (10252 mots de données au maximum).

A la suite des données des puces MATAcq, et ce quel que soit leur volume, on retrouve systématiquement une copie des trois registres TRIG_REC, Valp_cp et Vali_cp qui permettent de localiser la position du trigger dans ces données. Cela permet de lire ces trois registres dans le même bloc que les données et donc de diminuer le temps de lecture d'un évènement. On peut vérifier leur présence grâce à la mise à 1 du bit 15.

Les données du tableau marquées d'un astérisque (*) sont réservées à un usage d'expert.

RAM internal address (HEX)	Type of data (bits 0 to 13)	Bit 14	Bit 15
0000 to NCH-1	First sample (*)	0	0
NCH to 2*(NCH)-1	Vernier	0	0
2*NCH to 3*(NCH)-1	Reset baseline (*)	0	0
3*NCH to 4*(NCH)-1	1st cell	0	0
4*NCH to 5*(NCH)-1	2 nd cell	0	0
5*NCH to 6*(NCH)-1	3 rd cell	0	0
...	...	0	0
2561*NCH to 2562*(NCH)-1	2559th cell	0	0
2562*NCH to 2563*(NCH)-1	2560th cell (last cell)	0	0
2563*(NCH)	TRIG_REC	0	1
2563*(NCH) + 1	Valp_cp	0	1
2563*(NCH) + 2	Vali_cp	0	1

Si le nombre de colonnes à lire (registre NB OF COLS TO READ) choisi est inférieur à 128 (valeur par défaut), le transfert en RAM s'arrêtera lorsque ce nombre sera atteint. Dans ce cas, il

faut être sûr que les données utiles sont situées dans la première partie de la matrice. C'est le rôle dévolu au signal SYNC_OUT qui signale le passage en début de matrice. Pour valider ce dernier, le bit ESO doit être mis à 1 dans le registre de contrôle (voir IV.4), et il faut déplacer le cavalier correspondant (S4).

Le registre de masque des voies permet de plus de ne valider que les voies utilisées, ce qui va également permettre de réduire le volume de données dans la RAM. Dans ce cas en effet, seules les données des voies validées seront recopiées dans celle-ci, tout en respectant le même ordre de stockage des données.

L'accès en lecture à la RAM se fait par adressage secondaire. L'adresse interne de celle-ci est en effet contrôlée par un compteur 16 bits (RAM_INT_ADD) localisé dans le contrôleur situé sur la carte. Celui-ci est géré par les interfaces externes, le séquenceur d'acquisition générant sa propre adresse en partant de zéro pour l'écriture dans la RAM. Ce compteur s'auto-incrémente en cours d'adressage. Il est systématiquement remis à zéro en fin de cycle d'écriture, ce qui permet de ne pas avoir à le charger quand on veut lire toute la mémoire. Cependant, on peut accéder directement à une adresse ou un groupe d'adresses donné dans la RAM en le pré-chargeant.

Vue du bus, la lecture de la RAM se fait donc toujours à la même adresse h0C (en GPIB et USB) ou h0D (en VME).

En GPIB et USB, les 16 bits de données converties par l'ADC et stockées dans la RAM (accessible par lecture de 2 bytes à l'adresse 0C) sont lus dans l'ordre MSByte, LSByte. Seuls les 14 bits de poids faibles des données issues d'une conversion de l'ADC ont une signification : les 2 bits de poids supérieur sont fixés à 0 sur la carte, et ils peuvent être masqués à la lecture.

IV.3.b) Gestion des accès à l'EEPROM.

Cette version de la carte comporte une FLASH EEPROM pour stocker des données utiles pour l'utilisateur, par exemple les données de calibration spécifiques à la carte. Cette EEPROM est une mémoire Flash AT29LV010A d'une capacité de 128kbytes. Elle est partagée sur la carte en deux moitiés de 64kbytes que l'on choisit lors des accès grâce au bit 2 du registre TRIGGER_TYPE (front du trigger). Sa spécificité principale est de nécessiter en écriture des accès par pages **entières** de 128 octets sous peine de perdre des données. De plus, elle contient une protection logicielle qui nécessite l'usage de trois mots clefs avant le début de toute page de 128 octets. La procédure de chargement sera donc la suivante :

- Charger les registres d'adresse mémoire RAM_INT_ADD (aux sous-adresses 0x0E et 0x0F) avec l'adresse du début de la première page à charger (**les bits 0 à 6 doivent donc être à 0**). Cette opération remet à zéro la partie hardware du filtre de protection logicielle pour la prochaine page (partie située dans l'ALTERA).
- Ecrire à la sous-adresse 0x2C les 128 octets de données **toujours précédés** des trois octets suivants : 0xAA, 0x55, 0xA0 **dans le même bloc** (on aura donc 131 octets groupés). En effet, si deux octets sont séparés de plus de 150µs, la procédure de chargement interne sera lancée.
- Lire en boucle la sous-adresse 0x2D (« data polling ») pour suivre l'évolution de la procédure de chargement interne de la mémoire. Tant que celle-ci n'est pas terminée, le bit de poids fort (bit 7) sera l'inverse de sa dernière valeur et le bit 6 changera de valeur à chaque lecture. Cette lecture est nécessaire **au moins une fois** pour remettre à zéro la partie hardware du filtre de protection logicielle pour la prochaine page.
- Si la page suivante est contiguë à la précédente, envoyer directement comme ci-dessus le bloc de 131 octets suivant. Sinon, commencer par charger l'adresse de la nouvelle page comme précédemment.

Pour la lecture, il n'y a pas de notion de page ni de protection et la procédure est la suivante :

- Charger les registres d'adresse mémoire RAM_INT_ADD avec l'adresse du premier octet à lire.
- Lire le nombre d'octets voulu à la sous-adresse 0x2E.

IV.4. Liste des sous adresses.

Le tableau des sous-adresses correspondant aux différentes commandes est présenté ci-dessous. Un certain nombre d'entre-elles sont réservées à un usage d'expert. Elles sont signalées par le nom « RESERVED » dans la colonne « NAME ». Elles ne seront pas décrites dans ce document et **elles ne doivent pas être utilisées**. En VME, les sous-adresses sont codées sur les bits A8 à A15, les bits A1 à A7 étant inutilisés. Pour plus de détails spécifiques sur l'adressage en VME, USB ou GPIB, se référer au IV.2.

Les sous-adresses et les nouvelles fonctionnalités de cette carte ont été choisies de manière à assurer la compatibilité ascendante de celle-ci avec la série de carte MATAcq à 12 bits de gamme dynamique. Ainsi, elle est directement compatible avec ces dernières lors de sa mise sous tension : elle peut donc être utilisée par défaut avec le même logiciel.

Les valeurs par défaut des registres à la mise sous tension permettent à la carte de fonctionner « normalement » et donc de simplifier la programmation.

Subadd (HEX)	ACCESS	REG or COM.	NAME	bits of data	Default @ power on
00*	W/R	Reg	INTERRUPT	2	0
01*	W/R	Reg	FP_FREQUENCY	6	1
02*	R	Reg	FPGA_VERSION	8	-
03*	W/R	Reg	MODE_REGISTER	3	0
08	W	Com	RESET_BOARD	NO	-
09	W	Com	LOAD_TRIGGER_THRESHOLD_DAC	NO	-
0A**	W	Reg	TRIGGER_THRESHOLD_DAC ALL CHANNELS TOGETHER (LSB->GPIB or USB, word->VME)	8 or 12	0
0B**	W	Reg	TRIGGER_THRESHOLD_DAC_MSB (half byte->GPIB or USB)	4	0
0C**	R	Reg	RAM_DATA_MSB + LSB -> GPIB or USB	8	-
0D**	R	Reg	RAM_DATA ->VME	16	-
0E	W/R	Reg	RAM_INT_ADD_LSB	8	0
0F	W/R	Reg	RAM_INT_ADD_MSB	8	0
10	W/R	Reg	MAT_CTRL_REGISTER_LSB	8	0
11	W/R	Reg	MAT_CTRL_REGISTER_MSB	8	0
12	W	Com	RESERVED	NO	-
13	W	Com	RESERVED	NO	-
14	W	Com	RESERVED	NO	-
15	W	Com	RESERVED	NO	-
16	W	Com	RESERVED	NO	-
17	W	Com	START_ACQUISITION	NO	-
18	W/R	Reg	PRETRIG_LSB	8	0
19	W/R	Reg	PRETRIG_MSB	8	40
1A	W/R	Reg	POSTTRIG_LSB	8	64
1B	W/R	Reg	POSTTRIG_MSB	8	0
1C	W	Com	SOFTWARE_TRIGGER	NO	-
1D	W/R	Reg	TRIGGER_TYPE	8	0
1E	W/R	Reg	TRIGGER_CHANNEL_SOURCE	4	0
20	R	Reg	TRIG_REC	8	-
21	W/R	Reg	FAST_READ_MODES	2	0
22	W/R	Reg	NB_OF_COLS_TO_READ	8	128

23	W/R	Reg	CHANNEL MASKS	4	h0F
24	W/R	Reg	RESERVED	8	64
26	R	Reg	Valp_cp REGISTER	5	
27	R	Reg	Vali_cp REGISTER	5	
28	W/R	Reg	TRIGGER THRESHOLD DAC ch0 (LSB->GPIB or USB, word->VME)	8 or 16	2048
29	W/R	Reg	TRIGGER THRESHOLD DAC ch1 (LSB->GPIB or USB, word->VME)	8 or 16	2048
2A	W/R	Reg	TRIGGER THRESHOLD DAC ch2 (LSB->GPIB or USB, word->VME)	8 or 16	2048
2B	W/R	Reg	TRIGGER THRESHOLD DAC ch3 (LSB->GPIB or USB, word->VME)	8 or 16	2048
2C	W	Mem	User EEPROM (128kBytes) : Write access	8	
2D	R	Mem	User EEPROM (128kBytes) : Poll access	8	
2E	R	Mem	User EEPROM (128kBytes) : Read access	8	
30	W/R	Reg	POST STOP LATENCY	8	4
31	W/R	Reg	POST LATENCY PRETRIG	8	1
34	W/R	Reg	NUMBER OF CHANNELS	3	4
38	W/R	Reg	RATE_REG	1	0
39	R	Reg	TRIG_COUNT LSB	8	
3A	R	Reg	TRIG_COUNT MSB	8	
3B	R	Reg	TRIG_RATE LSB	8	
3C	R	Reg	TRIG_RATE MSB	8	
3D	R	Reg	TRIG_COUNT + TRIG_RATE Block access	4x8	
FF*	W	Reg	NB OF BYTES TO READ IN BLOCK MODE (GPIB)	24 (3x8)	1

* également décodé avec le bit de poids fort de sous-adresse à 1 pour assurer la compatibilité avec les logiciels développés pour les anciennes versions de cartes MATAcq.

** attention à l'usage différent pour VME et GPIB/USB.

Les sous-adresses sont rangées par type. Pour plus de détails sur leur utilisation spécifique en VME, USB ou GPIB, se référer au IV.2.

Les fonctions de ces différentes commandes et registres sont décrites ci-dessous :

- **INTERRUPT** : le bit 0 de ce registre mémorise l'arrivée de l'interruption qui signale la fin de la phase d'acquisition. Le signal INTERRUPT est propagé vers les bus, mais il peut aussi être lu ici. Et c'est également ici qu'il doit être acquitté et remis à zéro par un simple accès en écriture. Dans tous les cas, il est remis à 0 par la commande START_ACQ.

Le bit 1 de ce registre signale un éventuel débordement de la fifo « event_buffer » lié à des accès sur le bus de données pendant le transfert entre les puces Matacq et la RAM. La lecture de ce bit à 1 au moment de l'interruption rendrait l'évènement caduc.

Bits	Fonction
0	Val = 0 => interruption de fin d'acquisition non émise Val = 1 => interruption de fin d'acquisition émise
1	Val = 0 => OK Val = 1 => un débordement du buffer d'évènement s'est produit lors du dernier évènement. L'évènement n'est pas valide.

- **FP FREQUENCY**: ce registre de 5 bits permet de fixer la période de Fp. Il est initialisé à 1.

Bits	Fonction
0->5	Val = 1 => F _{éch} = 2GHz.

Val = 2 => F _{éch} = 1GHz.
Val = 4 => F _{éch} = 500MHz.
Val = 5 => F _{éch} = 400MHz.
Val = 10 => F _{éch} = 200MHz.
Val = 20 => F _{éch} = 100MHz.
Val = 40 => F _{éch} = 50MHz.

- **FPGA VERSION** : ce registre de 8 bits en lecture seule permet de lire le numéro de version du FPGA. Les 4 bits de poids forts donnent le type de la carte et les 4 bits de poids faibles le numéro de version du firmware chargé dans la PROM. Le code correspondant à la carte MATAcq14 est F, ce qui donne une racine de hF0 pour FPGA VERSION.
MODE REGISTER : registre de mode. Les deux premiers bits concernent l'interruption VME et le mode de lecture des données. Le bit 2 permet de redémarrer automatiquement (voir II.3.b) l'acquisition après la lecture dans la RAM du premier de TRIG_REC, Valp_cp et Vali_cp (voir IV.3.a).

Bits	Nom	Défaut	Fonction
0	EN_VME_IRQ	0	Ce bit permet d'autoriser (1) ou non (0) la sortie de l'interruption de fin d'acquisition vers le bus VME.
1	14BIT_MODE	0	Si ce bit vaut 0, la carte sort ses données sur 12 bits de façon compatible avec les versions de logiciels développées pour les anciennes cartes MATAcq. Si ce bit vaut 1, elle sort sur 14 bits.
2	AUTO_RESTART _ACQ	0	Val = 0 => Mode normal pour le redémarrage de l'acquisition (via la commande START_ACQUISITION). Val = 1 => Redémarrage automatique de l'acquisition à la fin de la lecture de la RAM.

- **RESET BOARD** : reset de la carte. Restaure l'état de repos. Ne modifie pas les valeurs chargées dans les différents registres.
- **LOAD TRIGGER THRESHOLD DAC** : permet le transfert des valeurs pré-chargées dans les registres des DACs vers leur convertisseur analogique proprement dit.
- **START ACQUISITION** : lance l'acquisition de données et efface le registre d'interruption à la sous-adresse h80. Lorsque l'acquisition sera terminée, le signal INTERRUPT sera validé, transmis vers les interfaces de bus, et pourra être lu à la sous-adresse h80.
- **SOFTWARE TRIGGER** : permet de générer un trigger à partir d'une interface de bus.
- **TRIGGER THRESHOLD DAC** : registre de pré-chargement commun des DACs. Ce registre de 12 bits couvre la plage de -1V (000) à +1V (FFF). Par USB et GPIB, on accède aux MSBs et LSBs via 2 sous-adresses distinctes. L'accès se fait nécessairement dans l'ordre MSB (0B) puis LSB (0A). Par VME, l'accès se fait via une seule sous-adresse (0A). Après chargement de ce registre, il faut transférer la valeur dans le convertisseur analogique via la commande LOAD_TRIGGER THRESHOLD DAC (09).
- **RAM DATA** : c'est la mémoire où sont stockées les données. Comme ci-dessus, l'accès aux données se fait différemment en GPIB et en VME (voir NB OF BYTES TO READ IN BLOCK MODE). L'adressage est indirect, l'adresse interne de la RAM étant définie par le compteur RAM_INT_ADD situé dans l'ALTERA. La lecture des données s'effectue ainsi **toujours** à l'unique adresse 0D en VME et aux adresses 0E et 0F en GPIB.
- **RAM INT ADD** : ce compteur 16 bits fixe l'adresse interne de la RAM pour l'accès de bus en cours. Il est remis à zéro par la commande RESET_BOARD et par l'interruption en fin de phase d'acquisition. Pour un accès direct à une adresse ou un groupe d'adresses donnés, il faut le pré-charger.
- **MAT CTRL REGISTER** : c'est un registre de contrôle des paramètres d'acquisition. Il couvre 11 bits utiles. Les bits suivis d'une étoile sont réservés et doivent être laissés à zéro.

Bits	Nom	Défaut	Fonction
------	-----	--------	----------

0	BWL	0	Règle la bande passante des amplis d'entrée avec BWL1 (cf 0)
1	BWL1	0	Règle la bande passante des amplis d'entrée avec BWL (cf 0)
2	EBP	0	A 1, autorise le bypass du signal d'entrée vers l'ADC
3	ELD*	-	Réservé
4	ENVDLL*	0	Réservé
5	EIR*	0	Réservé
6	EPR	0	A 1, force l'alimentation permanente des amplis de lecture
7	EPW	0	A 1, force l'alimentation permanente des amplis d'écriture
8	ESO	0	A 1, autorise le signal SYNC_OUT à sortir de la carte (via le strap correspondant)
9	ISA	0	A 1, inhibe la commande START_ACQUISITION.
10	IRQP	0	A 1, inhibe le RQP automatique avant acquisition.

- **PRETRIG** : ce registre de 16 bits fixe le délai en périodes de Fp entre le START ACQUISITION et l'autorisation interne de valider un trigger, quelle que soit la source de ce dernier. Pour un bon fonctionnement, il doit être fixé au minimum à 5000 pour une fréquence Fp de 50MHz et à 10000 pour une fréquence de 100MHz. Par défaut, il vaut 10240.
- **POSTTRIG** : ce registre de 16 bits fixe le délai en périodes de Fp entre le trigger et l'arrêt de l'acquisition. Il permet en pratique de choisir la position du signal utile dans la fenêtre de 2560 cellules. Par défaut, il vaut 64.
- **TRIGGER TYPE** : ce registre de 8 bits fixe la source et le mode de déclenchement du trigger. Les bits 6 et 7 permettent de gérer les déclenchements si on a câblé plusieurs cartes pour les faire fonctionner ensemble. **Attention** : le bit 2 a deux usages.

Bits	Fonction
0-1	Val = 0 => SOFTWARE TRIGGER Val = 1 => trigger sur discriminateur (seuil fixé par le DAC) Val = 2 => trigger externe en provenance de l'entrée TRIG_EXT Val = 3 => "OU" logique de SOFTWARE TRIGGER et trigger sur discriminateur
2	Val = 0 => front montant ou sélection moitié basse de l'EEPROM Val = 1 => front descendant ou sélection moitié haute de l'EEPROM
3	Val = 0 => Trigger interne aléatoire inhibé. Val = 1 => Trigger interne aléatoire autorisé.
4	Val = 0 => on utilise le Trigger normalement. Val = 1 => on utilise le Trigger externe directement et sans masquage.
5	Bit EnValidTrig. Val = 0 => le Trigger déclenche directement la lecture. Val = 1 => le Trigger doit être validé par l'entrée EN_EXT_TRIG pour déclencher la lecture.
6	Sélection du mode de reset du signal BUSY : Val = 0 => on tient compte du EN_EXT_TRIG. Val = 1 => on ignore le EN_EXT_TRIG.
7	Sert à pouvoir inhiber le signal BUSY : Val = 0 => le signal BUSY fonctionne normalement. Val = 1 => le signal BUSY est bloqué à zéro (inactif).

- **TRIGGER CHANNEL SOURCE** : ce registre de 4 bits fixe le ou les canaux dont les discriminateurs vont déclencher le trigger. Plusieurs voies peuvent être validées en même temps car on réalise un « OU » logique des sorties des discriminateurs dans le contrôleur.

Bits	Fonction
0	Val = 0 => Disable Trigger sur voie 0.

	Val = 1 => Enable Trigger sur voie 0.
1	Val = 0 => Disable Trigger sur voie 1. Val = 1 => Enable Trigger sur voie 1.
2	Val = 0 => Disable Trigger sur voie 2. Val = 1 => Enable Trigger sur voie 2.
3	Val = 0 => Disable Trigger sur voie 3. Val = 1 => Enable Trigger sur voie 3.

- **TRIG_REC** : ce registre de 8 bits donne la distance entre la colonne où se trouvait le pointeur de colonne lors de l'arrivée du trigger synchrone et la dernière colonne (128). Il permet en pratique de dater grossièrement en temps le signal utile à un coup d'horloge près. Cette datation va être affinée avec une grande précision par l'utilisation du vernier.
- **FAST READ MODES** : ce registre de 2 bits permet de réaliser une lecture plus rapide des matrices pour certaines applications.

Bits	Fonction
0	Val = 0 => séquence avec lecture de TRIG_REC (normale) Val = 1 => séquence sans lecture de TRIG_REC (courte)
1	Val = 0 => séquence avec départ de la première colonne (normale) Val = 1 => séquence avec départ de la colonne du STOP (faible profondeur de lecture possible)

- **NB OF COLS TO READ** : ce registre de 8 bits donne le nombre de colonnes que l'on veut lire dans la matrice. Ce dernier peut être fixé entre 0 et 128. La valeur chargée par défaut est 128, ce qui correspond à la matrice entière.
- **CHANNEL MASKS** : chacun des 4 bits de ce registre valide individuellement une voie de la carte. Pour cela, ils doivent être mis à 1. A zéro, la voie correspondante est masquée et ses données ne seront pas enregistrées dans la RAM. Attention : cela modifie le format de la trame stockée dans la RAM (voir IV.3.a).
- **Valp_{cp} & Vali_{cp} REGISTERS** : ces registres ne sont utiles que pour les fréquences d'échantillonnage inférieures ou égales à 500MHz, lorsque les masques tournants Valp et Vali sont utilisés. Ils permettent de localiser le trigger dans ce cas. Ils doivent être lus après TRIG_REC. Ils donnent le numéro de la ligne où l'on trouve le premier bit de masque à 1 pour chacun des 2 registres (numéro de ligne entre 0 et 19).
- **TRIGGER THRESHOLD DAC Ch#** : registres de pré-chargement individuels des DACs. Ces registres de 12 bits couvrent la plage de -1V (000) à +1V (FFF). Par USB et GPIB, on accède aux MSBs et LSBs via 2 sous-adresses distinctes. L'accès se fait nécessairement dans l'ordre MSB (0B) puis LSB (28 à 2B). Par VME, l'accès se fait via une seule sous-adresse (28 à 2B). Après chargement de ces registres, il faut transférer les valeurs dans le convertisseur analogique via la commande LOAD_TRIGGER THRESHOLD DAC (09).
- **User EEPROM access** : voir IV.3.b.
- **POST STOP LATENCY** : ce registre permet de programmer avec des pas de 2,5µs le temps pendant lequel on attend le signal de validation dans le mode où on utilise ce dernier pour déclencher la lecture des puces MATAcq vers la RAM. La valeur par défaut est de 10µs et la valeur minimum de 2,5µs.
- **POST LATENCY PRETRIG** : ce registre fixe avec des pas de 2,5µs le temps à attendre avant d'autoriser à nouveau le trigger suite à l'absence de signal de validation pendant la fenêtre définie par POST_STOP_LATENCY. La valeur par défaut ainsi que la valeur minimum sont de 2,5µs.
- **NUMBER OF CHANNELS** : ce registre fixe sur 3 bits le nombre de voies d'acquisition de la carte.

Bits	Fonction
0-2	Val = 1 => 1 voie de 10240 points (0-1-2-3) Val = 2 => 2 voies de 5120 points chacune (0-1 et 2-3) Val = 4 => 4 voies de 2560 points chacune Toute autre valeur que les précédentes => 4 voies de 2560 points chacune

- RATE_REG : ce registre permet d'activer ou non le comptage de taux de déclenchement.

Bits	Fonction
0	Val = 0 => comptage de taux de déclenchement inactif Val = 1 => comptage de taux de déclenchement actif

- TRIG_COUNT : ce registre compte le nombre de triggers produits dans les conditions de déclenchement définies sur la carte. Il fonctionne jusqu'à 200MHz, démarre sur le triga et se termine :
 - soit lors de sa lecture ou de celle de TRIG_RATE,
 - soit lors de la saturation de l'un d'eux.
- TRIG_RATE : ce registre compte le nombre de μ s écoulées depuis le début du comptage. Il fonctionne jusqu'à 200MHz, démarre sur le TRIGA et se termine :
 - soit lors de sa lecture ou de celle de TRIG_RATE,
 - soit lors de la saturation de l'un d'eux.

Il est possible de lire les quatre bytes des 2 registres de comptage en mode bloc à la sous-adresse 0x3D (équivalent à l'ordre 0x39 à 0x3C) et de gagner ainsi beaucoup de temps en USB par exemple.

- NB OF BYTES TO READ IN BLOCK MODE : pour les lectures en mode bloc par GPIB uniquement, ce registre de 16 bits permet de fixer le nombre de bytes contenus dans le bloc. Pour simplifier les accès en lecture à la RAM, on enverra ainsi dans la commande de lecture 4 bytes de données : le 1^{er} avec hFF, le 2^{ème} et le 3^{ème} avec respectivement les LSBs puis les MSBs du nombre de bytes à lire, et enfin le 4^{ème} avec la sous-adresse h0C de la RAM. Les MSBs puis les LSBs seront alors envoyés successivement. Ne pas oublier de doubler le nombre de données à lire dans la RAM lors du passage au nombre de bytes.

IV.5. Synoptique de la carte.

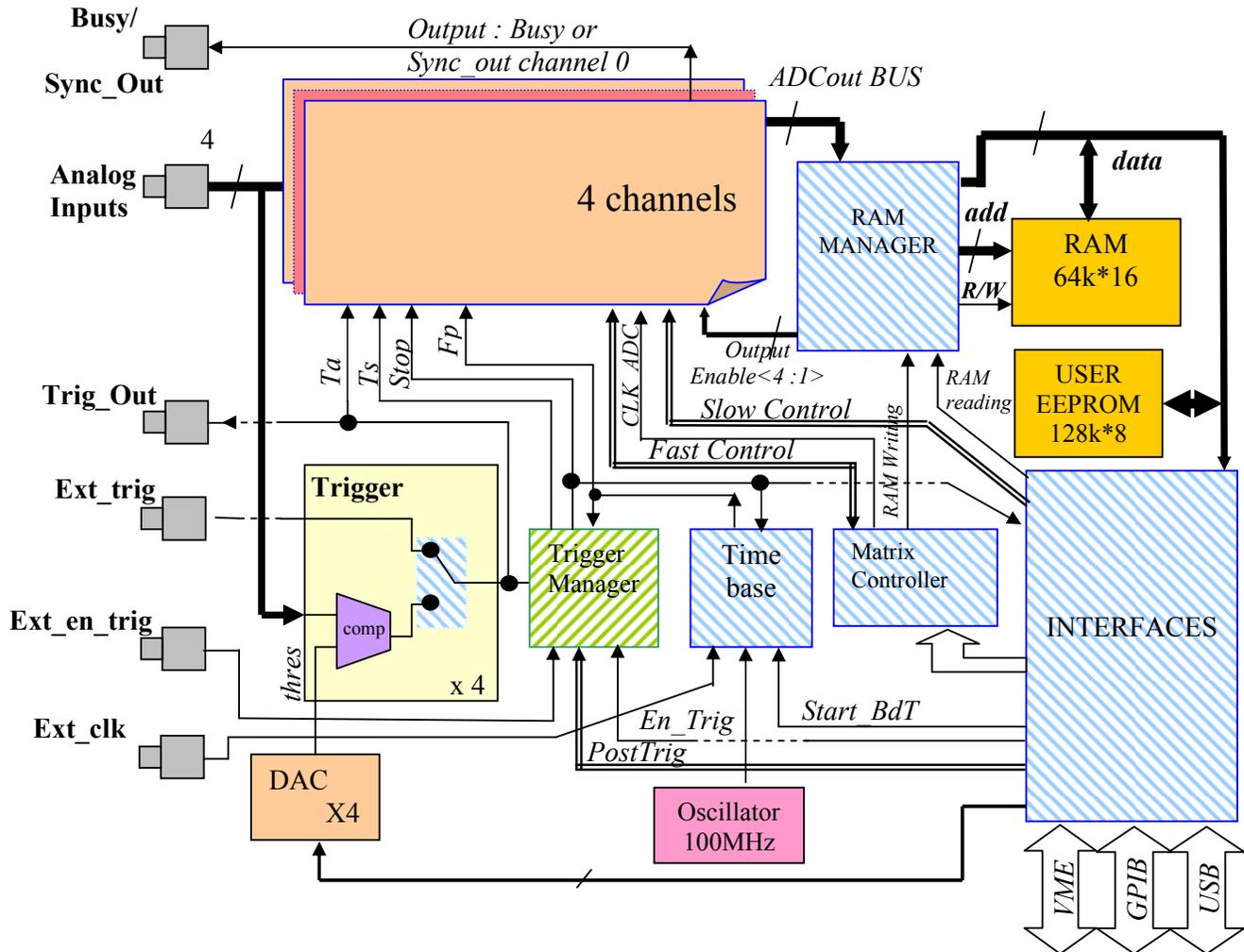


Fig 9 : synoptique de la carte MATAcq14.

L'architecture de la carte MATAcq14 (Fig 9) est modulaire. Cette architecture ainsi que les composants utilisés ont été sélectionnés de manière à minimiser les coûts de conception et de production de la carte. La carte est principalement constituée de six blocs :

- Les 4 canaux d'acquisition et de numérisation rapides (synoptique d'un canal en Fig 10).
- La gestion du déclenchement.
- La gestion des horloges.
- Le contrôle lent des puces MATAcq.
- La gestion de l'écriture et de la relecture de la mémoire numérique (RAM).
- L'interfaçage avec le système d'acquisition et la gestion de l'EEPROM utilisateur.

La gestion du déclenchement est intégrée dans un CPLD dédié. Les quatre derniers blocs (hormis la RAM elle-même) ainsi que la partie numérique du système de déclenchement sont intégrés dans un unique composant programmable (FPGA) de grande capacité. Ceci réduit

considérablement les coûts de production et permettra de faire encore évoluer aisément le système dans le futur si nécessaire.

Une EEPROM permet également de stocker des paramètres spécifiques à la carte à partir du programme d'acquisition, suite à une calibration par exemple.

Les différentes translations de niveaux logiques présentes sur la carte ne sont pas représentées sur le synoptique.

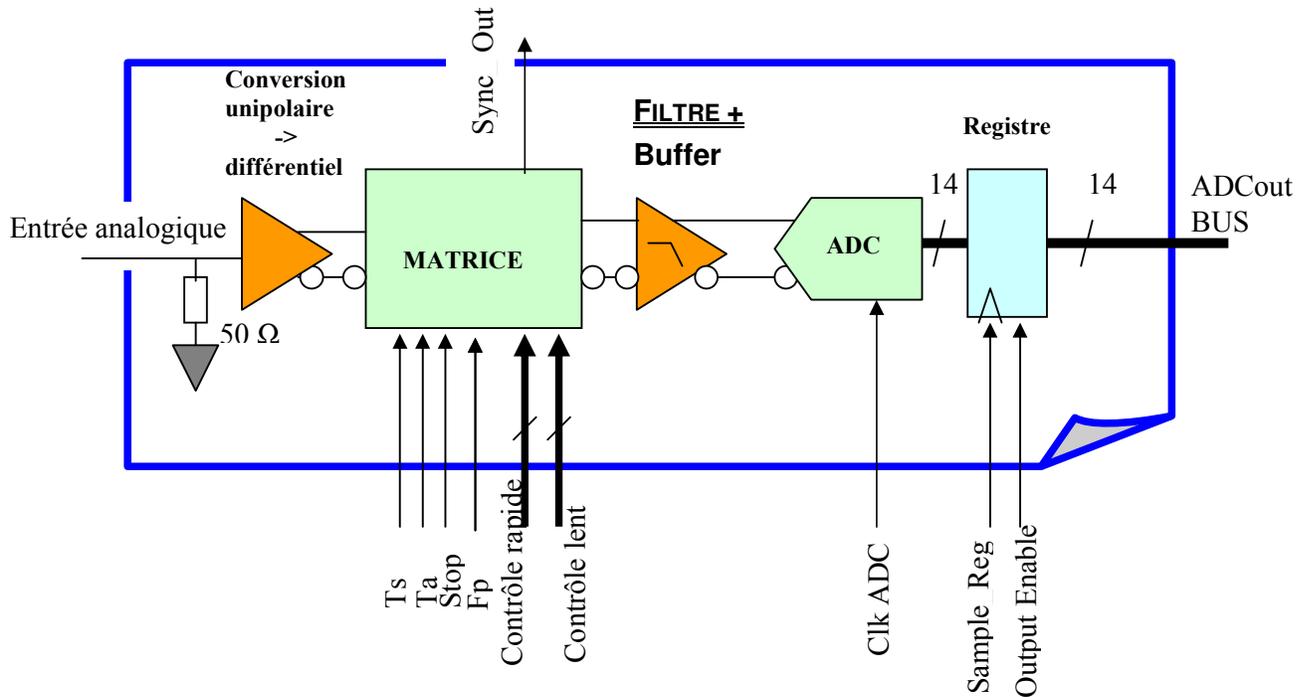


Fig 10 : Synoptique d'un canal d'acquisition de la carte MATAcq.

Le bloc élémentaire d'acquisition analogique est représenté en Fig 10. Il comprend :

- L'adaptation 50 Ohms de l'entrée.
- Un amplificateur large bande permettant d'attaquer la MATRICE en différentiel.
- La puce matrice.
- Un filtre limiteur de bande.
- L'ADC 14bits-5MHz, différentiel.
- Un registre permettant le multiplexage des données provenant des différents canaux vers la RAM.

V. SPECIFICATIONS ET PERFORMANCES.

Le tableau suivant résume les principales spécifications et performances de la carte MATAcq14.

Signaux analogiques d'entrée

Nombre de canaux	4
Impédance d'entrée	50 Ohms
Gamme	+/- 1V
Bande passante	300MHz
Rapport signal/bruit	13.5bit RMS (bruit =175 μ V RMS)
Distorsion harmonique	<-60dB pour entrée sinus à 25MHz

LSB (pas de digitisation)	0.125mV
Non Linéarité Intégrale	< 1 pour 1000
Non Linéarité Différentielle	< 0.05 pour 1000
Gain relatif entre voies	< +/-1%.

Echantillonnage

Fréquence Max	2Géch/s
Fréquence Min	50Méch/s
Précision temporelle sur une voie	15ps RMS typiques
Précision temporelle entre deux voies	20ps RMS typiques
Profondeur par canal	2560 points (dont 2520 exploitables)

Déclenchement

Gamme de Réglage de seuil	+/- 1V
Pas de réglage du seuil	0.5mV
Précision temporelle	50ps RMS typiques*

Conversion Analogique-Numérique

Fréquence de conversion	5MHz
Résolution	14 bits
Temps de vidage des matrices dans RAM	675µs

Acquisition

Taux d'acquisitions (VME)	jusqu'à 800 acquisitions/s sur 4 voies complètes
Taux d'acquisitions (GPIB)	jusqu'à 100 acquisitions/s sur 4 voies complètes
Taux d'acquisitions (USB)	jusqu'à 50 acquisitions/s sur 4 voies complètes

Signaux en face avant (TRIG_OUT, SYNC_OUT, TRIG_EXT)

Standard NIM (logique négative).	
Impédance d'entrée (TRIG_EXT)	50 Ohms
Niveau bas max (1 logique)	-0.6V
Niveau haut min (0 logique)	-0.2V

Alimentations

Tension min « +5V »	4.5V
Tension min « +12V »	6.5V
Tension min « -12V »	-6.5V
Consommation +5V	1.5 A au repos, 3A max
Consommation +12V	typ 350mA
Consommation -12V	typ 150mA

* inclus à la fois la précision de l'échantillonnage et celle du déclenchement.

VI. BIBLIOGRAPHIE.

[1] E. Delagnes, D. Breton , **Echantillonneur analogique rapide à grande profondeur mémoire.** Brevet français n° **01 05607** du 26 avril 2001. US Patent **6,859,375** from February 22nd 2005 : **Fast analog sampler with great memory depth.**

VII. ANNEXE.

VII.1. Versions prototypes de la carte Matacq14.

VII.1.a) Prototype version 1.

Ce premier prototype a été produit à 5 exemplaires entre l'automne 2006 et le printemps 2007. Les deux premiers exemplaires, au code FPGA compris entre 0xD0 et 0xDF, comportent un DAC trigger 4 voies 16 bits de type DAC7664 de Texas instruments. Les trois derniers, au code FPGA compris entre 0xC0 et 0xCF, comportent quant à eux un DAC trigger 4 voies 12 bits de type DAC8412 de Burr Brown. Ils comportent tous une EEPROM 32kBytes AT28BV256.

Cette version ne comporte qu'un seul FPGA comme les cartes Matacq32. Elle ne permet pas les accès VME en 64 bits, ni la sélection de l'IRQ en VME. Son connecteur GPIB en face avant est monté à l'envers. Les straps sont placés différemment. De plus, S8 valide l'USB et S9 le GPIB.

Son implémentation est présentée ci-dessous (figure 11) :

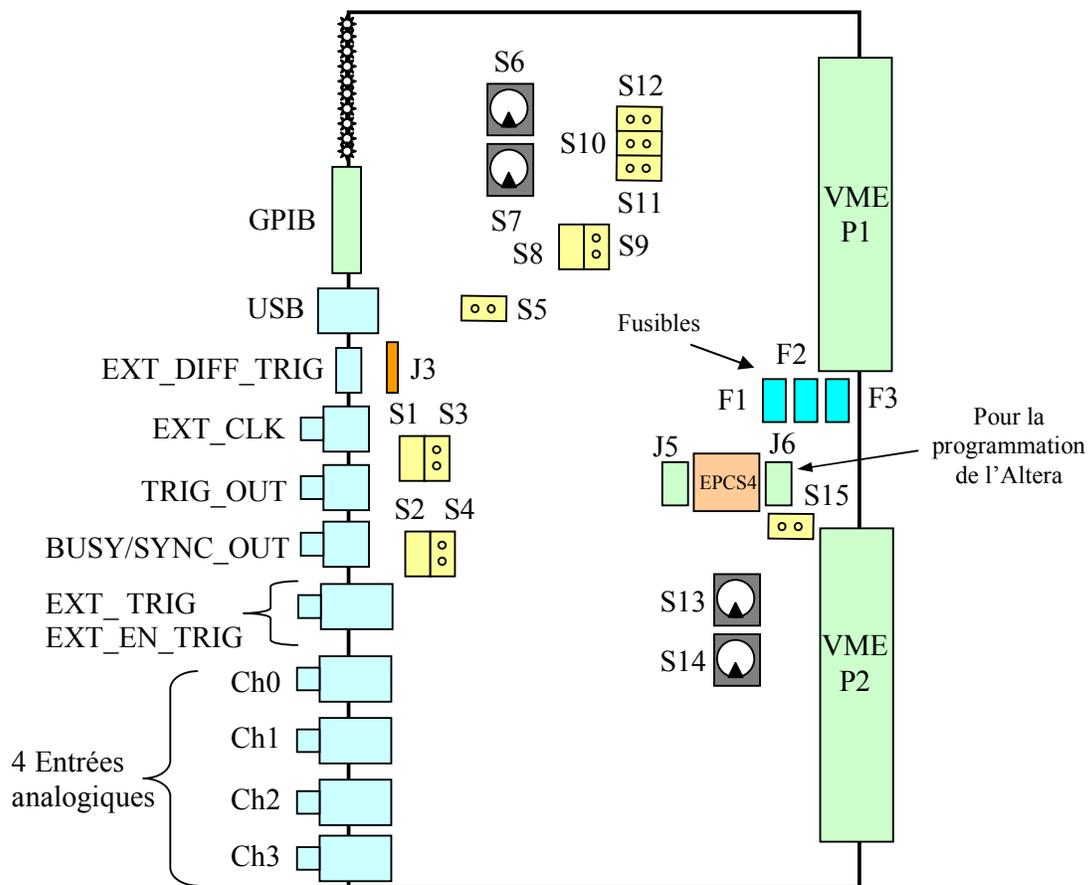


Fig 11 : implantation des connecteurs et des éléments de configuration sur le premier prototype de la carte MATAcq14.

VII.1.b) Prototype version 2.

Ce deuxième prototype, très proche de la version finale, a été produit à 3 exemplaires entre le printemps et l'été 2007. Son code FPGA est compris entre 0xE0 et 0xEF. Il comporte une

EEPROM 32kBytes, sauf le dernier exemplaire sur lequel a été montée la Flash EEPROM AT29LV010A de 128kBytes avec un code FPGA compris entre 0xF0 et 0xFF. Son connecteur GPIB en face avant est toujours monté à l'envers.

Son implémentation est présentée ci-dessous (figure 12) :

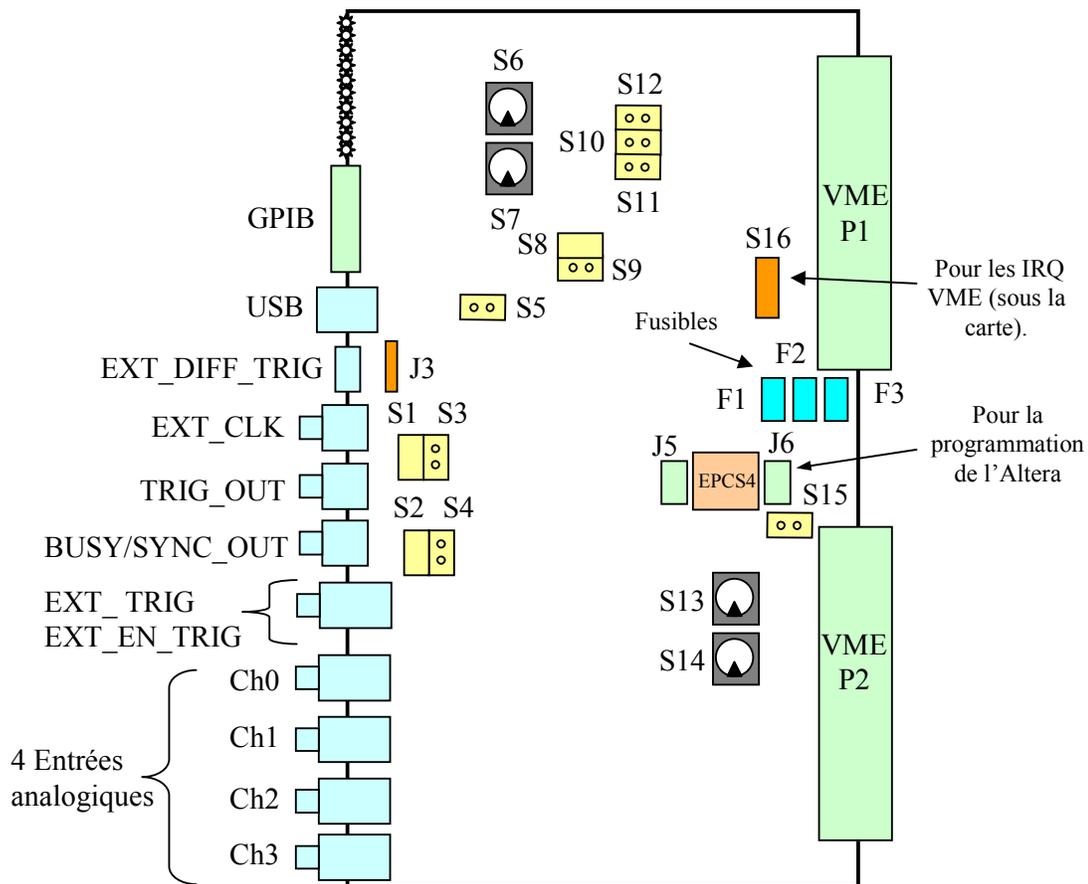


Fig 12 : implantation des connecteurs et des éléments de configuration sur le deuxième prototype de la carte MATAcq14.

VII.2. Utilisation des masques tournants.

VII.2.a) Principe de fonctionnement.

Les puces MATAcq (voir figure 13) sont des matrices d'échantillonnage de 20 lignes et 128 colonnes. Le pointeur d'écriture se propage verticalement dans chaque colonne et se déplace de colonne en colonne de gauche à droite à la fréquence de l'horloge fournie à la puce. A 1 ou 2 GS/s, les 20 points de la colonne sont tous écrits consécutivement. Pour réduire la fréquence d'échantillonnage, des masques tournants sont mis en place. Ils permettent de n'écrire que dans une cellule sur N, N étant tous les diviseurs possibles de 20 (2, 4, 5, 10, 20). Il y a deux masques tournants, chacun en charge de la moitié (gauche ou droite) de la matrice. La raison pour cela est d'éviter une transition de masque rapide pendant la phase d'écriture. On aura donc des transitions lentes et non perturbatrices, et ce dans des zones éloignées du pointeur d'écriture.

Les figures 14 à 20 montrent un exemple d'enregistrement dans toute la profondeur de la matrice avec les masques tournants. Le facteur de division choisi est 4 (utilisé pour 500MHz). P représente le pointeur d'écriture. Le principe est identique pour tous les autres facteurs listés ci-

dessus. Les nombres à l'intérieur de la matrice représentent le numéro d'ordre des échantillons dans le temps. Pour le remplissage complet, il aura fallu ici 4 tours de matrice. Ensuite, on repasse dans le même ordre aux mêmes endroits jusqu'à l'arrêt de l'acquisition.

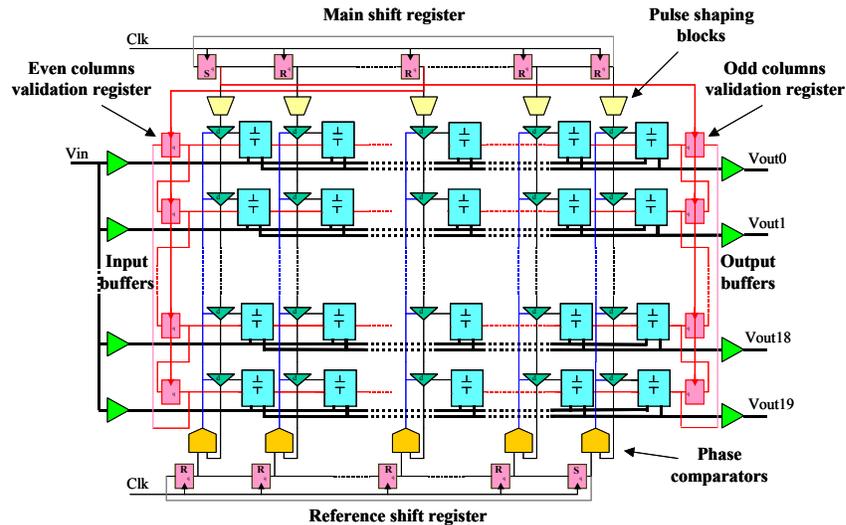


Fig 13 : schéma de principe de la puce MATAcq (breveté).

Le registre à décalage contrôlant la partie gauche de la matrice est appelé Valp, et celui contrôlant la partie droite de la matrice Vali. Vali subit un décalage lorsque le pointeur d'écriture passe dans la 2^{ème} colonne, alors que Valp subit un décalage lorsque le pointeur d'écriture passe dans la 66^{ème} colonne. La partie droite de la matrice est ainsi toujours décalée d'une ligne vers le bas (comme vu figure 16 par exemple) lors du passage du pointeur entre les deux moitiés, ce qui implique un **décalage temporel de 0,5ns de 500MS/s à 100MS/s et de 1ns à 50MS/s** lors du passage de la 64^{ème} à la 65^{ème} colonne, décalage qui doit être pris en compte pour calculer les instants réels d'échantillonnage dans les cellules. Le temps de propagation dans les colonnes est en effet de 10ns de 500MS/s à 100MS/s et de 20ns à 50MS/s.

Les masques sont chargés en début d'acquisition de façon automatique à partir de la fréquence d'échantillonnage choisie. Pour faire ce choix, on charge la valeur de division de fréquence par rapport à 2GS/s dans le registre FP_FREQUENCY à la sous-adresse 0x81 (1 pour 2GS/s, 2 pour 1GS/s, 4 pour 500MS/s, ...).

Lors de la lecture, et ce quelque soit la fréquence d'échantillonnage, les échantillons sont normalement lus et stockés colonne par colonne dans la RAM, en partant du haut de la colonne 1. Ils ne sont donc plus dans l'ordre où ils ont été enregistrés si les masques ont été utilisés. Il faudra donc les réordonner. **Mais tout d'abord, il faut effectuer la soustraction des piédestaux, car ceux-ci ne dépendent que de la position géographique des échantillons dans la matrice.** Attention : la dernière ligne enregistrée est située tout en bas sur la moitié gauche de la matrice mais N-1 lignes plus haut sur la moitié droite.

La difficulté qui survient ensuite est de recalibrer le trigger par rapport aux données. Pour cela, la carte fournit l'accès à l'état des deux registres de masque à l'instant d'arrivée du trigger. On trouvera une information pour Valp à la sous-adresse 0x26 et une pour Vali à la sous-adresse 0x27. Les deux valeurs décimales lues donnent la distance du premier bit à 1 par rapport à la ligne du haut (donc 0 pour cette dernière, et 19 pour la plus basse) pour chacun des 2 registres (ils peuvent être différents). A partir de ces deux valeurs et de celle du vernier et de la colonne du trigger, on peut localiser précisément le trigger. Attention : le vernier utilisé seul dans la colonne du trigger comme habituellement peut tomber sur un échantillon non enregistré à cet instant là. C'est justement le rôle de Valp et Vali que de permettre l'interpolation entre les deux échantillons **réels** les plus proches.

En fait, ce système de masques tournants a le gros avantage de ne pas détériorer la précision en temps lorsque l'on réduit la fréquence d'échantillonnage.

Par contre, il est clair que le décalage temporel lors des passages d'une moitié de matrice à l'autre qui n'est pas gênant pour une utilisation temporelle du signal enregistré car les instants d'échantillonnage sont parfaitement définis, peut le devenir si l'on veut calculer la transformée de Fourier dudit signal. Pour une FFT, il sera nécessaire de faire au minimum une interpolation d'ordre 3 sur 3 points réels au moins pour reconstruire avec une précision suffisante la position de chaque point équidistant manquant. Une autre solution consiste à utiliser une transformée de Fourier avec des points non équidistants (abscisse flottante).

VII.2.b) Exemple de remplissage à 500 MS/s.

Valp	1	2	3	...	62	63	64	65	66	67	...	126	127	128	Vali
1	P														1
0															0
0															0
0															0
1															1
0															0
0															0
0															0
1															1
0															0
0															0
0															0
1															1
0															0
0															0
0															0
1															1
0															0
0															0
0															0

Fig 14 : état de la matrice au départ.

Valp	1	2	3	...	62	63	64	65	66	67	...	126	127	128	Vali
1	1	6	P												0
0															1
0															0
0															0
1	2	7													1
0															0
0															0
1	3	8													1
0															0
0															0
1	4	9													1
0															0
0															0
1	5	10													1
0															0
0															0
0															0

Fig 15 : état de la matrice après passage du pointeur en colonne 2.

Valp	1	2	3	...	62	63	64	65	66	67	...	126	127	128	Vali
0	1	6	11	...	306	311	316								0
1								321	326	P					1
0															0
0															0
0	2	7	12	...	307	312	317								0
1								322	327						1
0															0
0															0
0	3	8	13	...	308	313	318								0
1								323	328						1
0															0
0															0
0	4	9	14	...	309	314	319								0
1								324	329						1
0															0
0															0
0	5	10	15	...	310	315	320								0
1								325	330						1
0															0
0															0

Fig 16 : état de la matrice après passage du pointeur en colonne 66.

Valp	1	2	3	...	62	63	64	65	66	67	...	126	127	128	Vali
0	1	6	11	...	306	311	316								0
1	641	646	P					321	326	331	...	626	631	636	0
0															1
0															0
0	2	7	12	...	307	312	317								0
1	642	647						322	327	332	...	627	632	637	0
0															1
0															0
0	3	8	13	...	308	313	318								0
1	643	648						323	328	333	...	628	633	638	0
0															1
0															0
0	4	9	14	...	309	314	319								0
1	644	649						324	329	334	...	629	634	639	0
0															1
0															0
0	5	10	15	...	310	315	320								0
1	645	650						325	330	335	...	630	635	640	0
0															1
0															0

Fig 17 : état de la matrice après 2^{ème} passage du pointeur en colonne 2.

Valp	1	2	3	...	62	63	64	65	66	67	...	126	127	128	Vali
0	1	6	11	...	306	311	316								0
0	641	646	651	...	946	951	956	321	326	331	...	626	631	636	0
1								961	966	P					1
0															0
0	2	7	12	...	307	312	317								0
0	642	647	652	...	947	952	957	322	327	332	...	627	632	637	0
1								962	967						1
0															0
0	3	8	13	...	308	313	318								0
0	643	648	653	...	948	953	958	323	328	333	...	628	633	638	0
1								963	968						1
0															0
0	4	9	14	...	309	314	319								0
0	644	649	654	...	949	954	959	324	329	334	...	629	634	639	0
1								964	969						1
0															0
0	5	10	15	...	310	315	320								0
0	645	650	655	...	950	955	960	325	330	335	...	630	635	640	0
1								965	970						1
0															0

Fig 18 : état de la matrice après 2^{ème} passage du pointeur en colonne 66.

Valp	1	2	3	...	62	63	64	65	66	67	...	126	127	128	Vali
0	1	6	11	...	306	311	316								1
0	641	646	651	...	946	951	956	321	326	331	...	626	631	636	0
0	1281	1286	1291	...	1586	1591	1596	961	966	971	...	1266	1271	1276	0
1	1921	1926	P					1601	1606	1611	...	1906	1911	1916	0
0	2	7	12	...	307	312	317								1
0	642	647	652	...	947	952	957	322	327	332	...	627	632	637	0
0	1282	1287	1292	...	1587	1592	1597	962	967	972	...	1267	1272	1277	0
1	1922	1927						1602	1607	1612	...	1907	1912	1917	0
0	3	8	13	...	308	313	318								1
0	643	648	653	...	948	953	958	323	328	333	...	628	633	638	0
0	1283	1288	1293	...	1588	1593	1598	963	968	973	...	1268	1273	1278	0
1	1923	1928						1603	1608	1613	...	1908	1913	1918	0
0	4	9	14	...	309	314	319								1
0	644	649	654	...	949	954	959	324	329	334	...	629	634	639	0
0	1284	1289	1294	...	1589	1594	1599	964	969	974	...	1269	1274	1279	0
1	1924	1929						1604	1609	1614	...	1909	1914	1919	0
0	5	10	15	...	310	315	320								1
0	645	650	655	...	950	955	960	325	330	335	...	630	635	640	0
0	1285	1290	1295	...	1590	1595	1600	965	970	975	...	1270	1275	1280	0
1	1925	1930						1605	1610	1615	...	1910	1915	1920	0

Fig 19 : état de la matrice après 4^{ème} passage du pointeur en colonne 2.

Valp	1	2	3	...	62	63	64	65	66	67	...	126	127	128	Vali
1	1	6	11	...	306	311	316	2241	2246	2251	...	2546	2551	2556	1
0	641	646	651	...	946	951	956	321	326	331	...	626	631	636	0
0	1281	1286	1291	...	1586	1591	1596	961	966	971	...	1266	1271	1276	0
0	1921	1926	1931	...	2226	2231	2236	1601	1606	1611	...	1906	1911	1916	0
1	2	7	12	...	307	312	317	2242	2247	2252	...	2547	2552	2557	1
0	642	647	652	...	947	952	957	322	327	332	...	627	632	637	0
0	1282	1287	1292	...	1587	1592	1597	962	967	972	...	1267	1272	1277	0
0	1922	1927	1932	...	2227	2232	2237	1602	1607	1612	...	1907	1912	1917	0
1	3	8	13	...	308	313	318	2243	2248	2253	...	2548	2553	2558	1
0	643	648	653	...	948	953	958	323	328	333	...	628	633	638	0
0	1283	1288	1293	...	1588	1593	1598	963	968	973	...	1268	1273	1278	0
0	1923	1928	1933	...	2228	2233	2238	1603	1608	1613	...	1908	1913	1918	0
1	4	9	14	...	309	314	319	2244	2249	2254	...	2549	2554	2559	1
0	644	649	654	...	949	954	959	324	329	334	...	629	634	639	0
0	1284	1289	1294	...	1589	1594	1599	964	969	974	...	1269	1274	1279	0
0	1924	1929	1934	...	2229	2234	2239	1604	1609	1614	...	1909	1914	1919	0
1	5	10	15	...	310	315	320	2245	2250	2255	...	2550	2555	2560	1
0	645	650	655	...	950	955	960	325	330	335	...	630	635	640	0
0	1285	1290	1295	...	1590	1595	1600	965	970	975	...	1270	1275	1280	0
0	1925	1930	1935	...	2230	2235	2240	1605	1610	1615	...	1910	1915	1920	0

Fig 20 : état de la matrice à la fin du remplissage complet.